

Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

Projeto de Transceptores Zigbee Utilizando Transistores com Nanotubos de Carbono

Autor: **Ciro Barbosa Costa**
Orientador: **Prof. Dr. Wellington Avelino do Amaral**

Brasília, DF
2021



Ciro Barbosa Costa

Projeto de Transceptores Zigbee Utilizando Transistores com Nanotubos de Carbono

Monografia submetida ao curso de graduação
em Engenharia Eletrônica da Universidade
de Brasília, como requisito parcial para ob-
tenção do Título de Bacharel em Engenharia
Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF

2021

Ciro Barbosa Costa

Projeto de Transceptores Zigbee Utilizando Transistores com Nanotubos de Carbono/
Ciro Barbosa Costa. – Brasília, DF, 2021-
124 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Wellington Avelino do Amaral

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2021.

1. Transceptores. 2. Zigbee. I. Prof. Dr. Wellington Avelino do Amaral. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Projeto de Transceptores Zigbee Utilizando Transistores com Nanotubos de Carbono

CDU 02:141:005.6

Ciro Barbosa Costa

Projeto de Transceptores Zigbee Utilizando Transistores com Nanotubos de Carbono

Monografia submetida ao curso de graduação
em Engenharia Eletrônica da Universidade
de Brasília, como requisito parcial para ob-
tenção do Título de Bacharel em Engenharia
Eletrônica.

Trabalho aprovado. Brasília, DF, 25/05/2021:

**Prof. Dr. Wellington Avelino do
Amaral**
Orientador

**Prof. Dr. Sandro Augusto Pavlik
Haddad**
Convidado 1

**Prof. Dr. José Edil Guimarães de
Medeiros**
Convidado 2

Brasília, DF
2021

Dedico este projeto à minha família.

Agradecimentos

Agradeço, primeiramente, aos meus pais, por terem me concedido os caminhos para estar realizando meus sonhos, por providenciarem todo o necessário, todo o apoio, amor, amizade e confiança até chegar nesse momento. Aos amigos que estiveram presentes, seja dentro ou fora do curso. Aos professores e técnicos, onde todos, de alguma forma, cederam um pouco de suas experiências e conhecimento para contribuir com o conhecimento adquirido por mim. Agradeço, especialmente, ao Professor Wellington, que além de um grande Doutor, é um grande amigo, compreensivo, ainda que rígido com as cobranças, está sempre disposto a ajudar, explicar, ensinar e faz tudo isso da melhor forma possível. Por último e mais importante, agradeço à minha irmã, que não está mais aqui, mas sei que está orgulhosa e feliz, olhando e cuidando de um lugar melhor ainda. Sem vocês, o caminho seria mais árduo.

Resumo

Os avanços tecnológicos em setores da engenharia elétrica-eletrônica, no decorrer dos anos, permitiram um acesso a novas ferramentas como a Internet das Coisas, ou IoT, que já é um tema muito estudado e cada vez mais presente na sociedade por possuir uma gama de aplicações nas mais diversas áreas. O baixo consumo dos dispositivos e a fácil comunicação entre os sistemas, aspectos requeridos especificamente por dispositivos que realizam funções IoT, certamente favorecem aplicações de sensoriamento em indústrias, estufas, rádio-frequência, medicina, permitindo um maior tempo de operação e menos necessidade de manutenções. Por tais razões, o ZigBee IEEE 802.15.4, tecnologia de comunicação sem fio, quando utilizado, fornece diversas qualidades que favorecem o IoT. Dentre elas, observam-se as baixas taxas de transferência de dados, arquiteturas de redes e protocolo de comunicação bem definidos, o que favorece a implementação em projetos. No projeto a seguir, tratam-se os aspectos de construção de um transceptor ZigBee utilizando a tecnologia CNTFET, visando também, analisar o comportamento da tecnologia juntamente à tecnologia já amplamente utilizada, o CMOS, além de utilizar ferramentas comuns em projetos de microeletrônica, chips. Tais ferramentas, como o Verilog-A e o Verilog-AMS otimizam as simulações em nível de verificação em projetos da microeletrônica, para o projeto final, escolheu-se a utilização do Verilog-A. A priori, serão vistos os aspectos primordiais do padrão ZigBee. Em seguida, leva-se em consideração a teoria do CNTFET, seu funcionamento, sua composição e propriedades. Logo mais, trata-se a teoria de transceptores, misturadores, como interação entre si e como cada um contribui no sistema final para atingir os requisitos de funcionamento. Por fim, serão tratados os resultados através da metodologia top-down e a conclusão final sobre a viabilização do projeto.

Palavras-Chave: Avanços. IoT. ZigBee. CNTFET. Transceptor. Top-Down. Verilog-A.

Abstract

The technological advances in electrical and electronic engineering throughout the last years, has allowed access to new tools like Internet of Things (IoT), which is already being studied and, also, is underlied in society because of its wide variety of applications. The ultra-low power mode, easy communication between systems, required by the devices that are made specifically to IoT functions, surely benefits sensing, monitoring and control applications in industries, greenhouses, Radio-Frequency, medicine. This characteristics allows a longer time of device operation before the battery runs out and less need for maintenance. For this reason, ZigBee IEEE 802.15.4 protocol is a technology that allows wireless communication and, when used, it provides IoT key qualities. Hence, it provides low data transfer rates, a good network architecture and a very well defined communication protocol, which favors implementation of projects. Throughout the development of this project, aspects of construction of a ZigBee transceiver device are studied and applied, while using CNTFET along with CMOS technology in order to analyse CNTFET's behavior, also using common tools in microelectronics projects. One of the tools enforced in this project is Verilog-A, since it is used as a simulation request to validate the project, it could be done using Verilog-AMS as well. It will be seen essential aspects of ZigBee at first. Then, CNTFET, which is portrayed in Verilog-A, theory, operation, composition and properties are analysed. After that, it is made a study of transceivers, mixers and other components that integrate a transceiver, how they do interact with each other, how they contribute to the final system in order to accomplish the operation requisitions. Finally, the results, obtained through Top-Down method, and the final conclusion, about the viabilization of the project, are treated.

Key-words: Advances. IoT. ZigBee. CNTFET. Transceiver. Top-Down. Verilog-A

Lista de ilustrações

Figura 1 – Diagrama da "lei de Moore"	21
Figura 2 – Aplicações para Zigbee	25
Figura 3 – Zigbee Layers	26
Figura 4 – Taxa de Transmissão	28
Figura 5 – Análise do consumo de potência	29
Figura 6 – Redes wireless de baixo alcance	30
Figura 7 – Topologia de redes	31
Figura 8 – CNTFET Estrutura	34
Figura 9 – CNTFET multi-dedo, multi-tubo	35
Figura 10 – CNTFET e MOSFET Id por Vd	36
Figura 11 – CNTFET em 2D	37
Figura 12 – CNT Estrutura	38
Figura 13 – CNT Propriedades	39
Figura 14 – CNT Vetores	40
Figura 15 – Vaporização a Laser	41
Figura 16 – Descarga por Arco	42
Figura 17 – Depósito do ânodo de carbono	43
Figura 18 – MWNTs e nanopartículas produzidas em Hélio	43
Figura 19 – MWNTs e nanopartículas produzidas em He, Ar e CH_4	44
Figura 20 – CVD Setup	45
Figura 21 – Modelos de Crescimento por CVD	46
Figura 22 – Condutividade Térmica SWCNT isolado	50
Figura 23 – Condutividade Térmica SWCNTs alinhados	50
Figura 24 – Modelo CCAM equivalente	53
Figura 25 – Fluxograma CNTFET-Workflow no Cmap-Tools	55
Figura 26 – Amplo Conhecimento RF	56
Figura 27 – Hexágono RF	57
Figura 28 – Transceptor RF	57
Figura 29 – Loop do Sintetizador	59
Figura 30 – Domínio em Freq. dos Mixers	60
Figura 31 – Ponto de Compressão 1dB	63
Figura 32 – Efeito de Intermodulação	64
Figura 33 – a) Terminais de Passagem. b) Caminhos de Passagem	65
Figura 34 – Mixer Desbalanceado	67
Figura 35 – Mixer Balanceamento Simples	68
Figura 36 – Mixer Balanceamento Duplo	69

Figura 37 – Mixer Balanceamento Duplo com Degeneração Comum	70
Figura 38 – Mixer Célula de Gilbert	71
Figura 39 – Mixer Célula de Gilbert	72
Figura 40 – Fluxograma de Verificação	77
Figura 41 – Esquemático Mixer Upconverter	79
Figura 42 – Potência Upconverter	80
Figura 43 – Ganho de Conversão Upconverter	81
Figura 44 – P1dB Upconverter	81
Figura 45 – Célula Mixer Downconverter	82
Figura 46 – Potência Downconverter	83
Figura 47 – Ganho de Conversão Downconverter	84
Figura 48 – P1dB	84
Figura 49 – Célula LNA Diferencial.	86
Figura 50 – Espelho de Corrente para Polarização LNA.	90
Figura 51 – Testbench LNA.	91
Figura 52 – Parâmetros de Espalhamento (S) LNA Diferencial.	92
Figura 53 – Figura de Ruído LNA.	93
Figura 54 – Topologia Butterworth 2ª Ordem.	94
Figura 55 – Testbench Filtro Passa-Baixa.	94
Figura 56 – Resultado AC Filtro Passa-Baixa do Receptor.	95
Figura 57 – Testbench PGA.	95
Figura 58 – Resultado PGA - controle "111".	96
Figura 59 – Resultado AC Filtro Passa-Baixa do Transmissor.	97
Figura 60 – Esquemático Receptor Zigbee.	99
Figura 61 – Testbench Receptor Zigbee.	100
Figura 62 – Simulação Receptor Zigbee.	100
Figura 63 – Esquemático Receptor Zigbee.	101
Figura 64 – Testbench Transmissor Zigbee.	101
Figura 65 – Simulação Transiente Transmissor Zigbee.	102
Figura 66 – Simulação PSS/PAC Transmissor Zigbee.	102
Figura 67 – Testbench Transceptor Zigbee.	103
Figura 68 – Amplificador para Atenuação.	104
Figura 69 – Simulação Transiente Transceptor	104
Figura 70 – Simulação do Transceptor com Blocos Intermediários de Transmissão	105
Figura 71 – Simulação do Transceptor com Blocos Intermediários de Recepção.	105
Figura 72 – Simulação Transiente Zigbee Rx com 0.8% de Nanotubos Metálicos nos Mixers.	107
Figura 73 – Simulação Transiente Zigbee Tx com 0.8% de Nanotubos Metálicos nos Mixers.	107

Figura 74 – Simulação para Avaliar Componente de Frequência.	108
Figura 75 – Simulação Transiente do Transceptor Zigbee com 0.8% de CNT metálicos.	108
Figura 76 – Simulação PGA com ganho bits "001".	116
Figura 77 – Receptor Zigbee com ganho máximo.	116
Figura 78 – Simulação do Zigbee sem Ajuste (Tx->Airloss).	117
Figura 79 – Simulação do Zigbee sem Ajuste Transceptor (Airloss->Rx).	117
Figura 80 – Fpb Receptor Verilog-A	118
Figura 81 – Fpb Receptor Verilog-A	118
Figura 82 – LNA Verilog-A	119
Figura 83 – Verilog A - PGA (1).	119
Figura 84 – Verilog A - PGA(2).	120
Figura 85 – Verilog A - PGA(3).	120
Figura 86 – PA Verilog-A	121
Figura 87 – Config Transceptor Zigbee	122
Figura 88 – Mixer CNTFET testbench	124

Lista de tabelas

Tabela 1 – Características de Diferentes Protocolos	28
Tabela 2 – Pureza na Fabricação de Nanotubos	52
Tabela 3 – Especificações Upconverter	82
Tabela 4 – Especificações Downconverter	85
Tabela 5 – Especificações Tecnologia 0.13	85
Tabela 6 – Especificações para LNA's [1] modificada	87
Tabela 7 – Valores Calculados para o LNA	91
Tabela 8 – Resultados obtidos LNA	93
Tabela 9 – Resultados Mixer Upconverter 0.8%	106
Tabela 10 – Resultados Mixer Downconverter 0.8%	106

Lista de abreviaturas e siglas

AC	Alternated Current
AFM	Atomic Force Microscope
API	Application Programming Interface
ASK	Amplitude Shift Keying
BPSK	Binary Phase Shift Keying
CSE	Common Service Entity
CSMA/CA	Carrier Sense Multiple Access with Collision Avoidance
CCAM	Compact Carbon Nano Tube Field Effect Transistor Model
CNT	Carbon Nano Tube
CNTFET	Carbon Nano Tube Field Effect Transistor
DC	Direct Current
FFD	Full Function Device
FPB	Filtro Passa-Baixa
HDL	Hardware Description Language
IF	Intermediate Frequency
IoT	Internet of things
IP	Internet Protocol
IPv4	Internet Protocol version 4
IPv6	Internet Protocol version 6
IEEE	Institute of Electrical and Electronic Engineers
IEEE 802.11b	Padrão de Comunicação do Wi-Fi
IEEE 802.15.4	Padrão de Comunicação do ZigBee
LNA	Low Noise Amplifier

LR-WPAN	Low data Rate-Wireless Protocol
MCA	Machine to Machine Communication
MAC	Media Access Control
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MWCNT	Multiple Walled Carbon Nano Tube
MQTT	Message Queuing Telemetry Transport
OL	Oscilador Local
O-QPSK	Offset-Quadrature Phase Shift Keying
PA	Power Amplifier
PAC	Periodic AC
PDA	Personal Digital Assistant
PGA	Programmable Gain Amplifier
PLL	Phase-locked loop
PSS	Periodic Steady-State
PSSS	Parallel Sequence Spread Spectrum
QPAC	Quasi-Periodic AC
QPSS	Quasi-Periodic Steady-State
PHY	Physical Layer
RF	Rádio Frequência
RFD	Reduced Function Device
RFID	Radio Frequency Identification
RX	Receptor
SB-CNTFET	Schottky Barrier CNTFET
S/D CNTFET	Source Drain CNTFET
SWCNT	Single Walled Carbon Nano Tube

TSMC	Taiwan Semiconductor Manufacturing Company
TX	Transmissor

Sumário

1	INTRODUÇÃO	20
1.1	Objetivo Geral	22
1.1.1	Objetivos Específicos	23
2	ZIGBEE	24
2.1	Surgimento e Aplicações	24
2.2	Principais características	26
2.3	Topologias de rede	29
3	CNTFET	33
3.1	Características do CNTFET	33
3.2	Estrutura CNT	37
3.3	Síntese dos CNT	40
3.3.1	Vaporização a Laser	40
3.3.2	Descarga por Arco	41
3.3.3	Deposição por Vapor Químico (CVD)	45
3.4	Propriedades dos CNT	46
3.4.1	Propriedades Mecânicas	46
3.4.2	Propriedade elétricas	47
3.4.3	Propriedades Térmicas	48
3.5	Estado da Arte	50
3.6	CCAM	52
4	MIXERS	56
4.1	Transceptores	56
4.2	Teoria de Misturadores de Frequência	59
4.3	Parâmetros Principais	61
4.3.1	Ganho de Conversão	61
4.3.2	Figura de Ruído (NF)	62
4.3.3	Linearidade e Isolamento	63
4.3.4	Sinais Espúrios (Spurs)	65
4.4	Topologias de Mixers	66
4.4.1	Mixer Desbalanceado	66
4.4.2	Mixers de Balanceamento Simples	67
4.4.3	Mixers de Balanceamento Duplo	69
4.4.4	Mixer Balanceamento Duplo com Degeneração Comum	70

4.4.5	Mixer Célula de Gilbert	70
5	METODOLOGIA	74
5.1	Metodologia Geral	74
5.1.1	Bottom-Up	74
5.1.2	Top-Down	75
5.2	Metodologia de Verificação	76
5.2.1	Verificação Mixer Upconverter	79
5.2.2	Verificação Mixer Downconverter	82
5.2.3	Projeto do Amplificador de Baixo Ruído em CMOS	85
5.2.4	Simulações do Filtro Passa-Baixa Receptor	93
5.2.5	Simulações Amplificador de Ganho Programável	95
5.2.6	Simulações Filtro Passa-Baixa Transmissor	96
5.2.7	Amplificador de Potência	97
6	RESULTADOS	98
6.1	Validação do Receptor	98
6.2	Validação do Transmissor	101
6.3	Transceptor	103
6.4	Transceptor com Impurezas no CNTFET	106
7	CONCLUSÃO	109
	REFERÊNCIAS	111
	APÊNDICES	115
	APÊNDICE A – SIMULAÇÕES COMPLEMENTARES	116
A.1	PGA com Controle de Ganho em 001	116
A.2	Receptor Zigbee com Controle de Ganho Máximo	116
A.3	Transceptor Zigbee Simulado sem Atenuação	117
	APÊNDICE B – CÓDIGOS VERILOG-A	118
B.1	Filtro Passa-Baixa Receptor	118
B.2	Filtro Passa-Baixa Transmissor	118
B.3	LNA	118
B.4	PGA	119
B.5	PA	119
	APÊNDICE C – VISTA CONFIG DO TRANSCEPTOR ZIGBEE	122

ANEXOS	123
ANEXO A – TESTBENCH BLOCOS MIXERS CNTFET	124

1 Introdução

O avanço tecnológico permitido pela eletrônica realmente se deu início após a descoberta dos transistores. O transistor surgiu como resultado de estudos onde se desejava usar cristais de germânio e de silício como detectores de radar. Também, é interessante observar que o transistor não é um "produto de guerra", mas uma invenção ocorrida imediatamente após a Segunda Guerra Mundial, como uma espécie de consequência da disponibilidade de cristais de germânio altamente purificados produzidos como arma militar [2]. Na época, os computadores eram máquinas destinadas predominantemente para processamento de dados e cálculos científicos. Seu tamanho variava desde o equivalente a um refrigerador pequeno até mainframes que ocupavam uma sala de grandes dimensões. Os microprocessadores, que surgiram devido ao avanço dos estudos dos transistores após sua descoberta, permitiram não só a redução do tamanho dos computadores, como o emprego de computadores nas mais diversas áreas, como o controle de máquinas industriais ou o movimento de robôs, ou seja, os microprocessadores e microcontroladores se tornam os grandes componentes que compõe os sistemas embarcados, e, pode-se assim dizer que esses sistemas são sintetizados por transistores. Ainda, verifica-se esse avanço em pequenos dispositivos, como celulares, chips. Entretanto, apesar dessa redução em tamanho, o número de transistores contidos nos dispositivos aumentam, e de acordo com Mehl [2], Gordon Moore, naquela época, já havia constatado que a complexidade e a capacidade de memória dos circuitos integrados cresciam a cada ano, então, elaborou uma "lei" que rege os dispositivos eletrônicos até hoje. Suas previsões ficaram conhecidas como "lei de Moore", que estabelece que o número de componentes por circuito integrado dobra a cada dezoito meses ou quadruplica a cada três anos .

Ademais, Gordon Moore explica que o aumento da capacidade das memórias dinâmicas implica na redução do tamanho dos dispositivos semicondutores e, consequentemente, no aumento da quantidade de dispositivos semicondutores presentes nos circuitos. Aliás, mesmo com o aumento da quantidade de transistores, é possível observar na Figura 1, que há um achatamento na velocidade do clock, apontando limitações. Inclusive, de forma a ultrapassar barreiras impostas pela potência, a indústria da computação passou a utilizar de processadores paralelos ao invés de permanecer utilizando processadores de núcleo único [3].

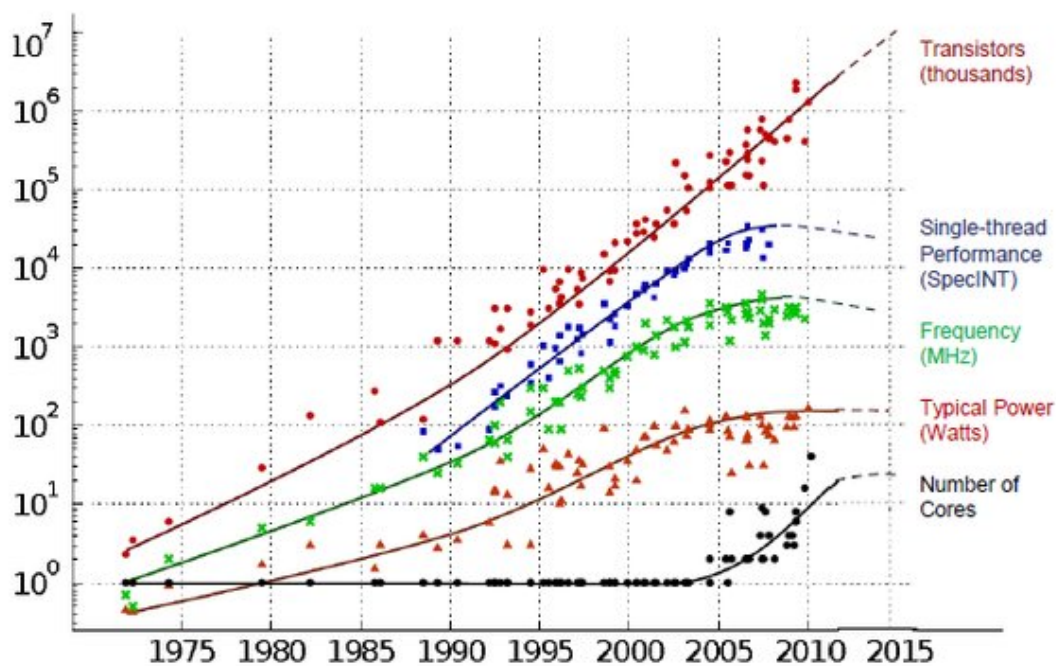


Figura 1 – Diagrama da "lei de Moore"
[4]

Por um lado, há algumas limitações devido a redução do tamanho dos transistores, as teorias da nanoeletrônica começam a interferir. Constatase que o limite de colapso na camada óxido do Gate, o efeito de perfuramento (punch through) no dreno-emissor, o colapso no substrato-dreno e o tamanho do átomo de silício são fatores que limitam o menor tamanho possível para o componente. A dissipação de potência, em circuitos estáticos não complementares, é a maior limitação do número de circuitos por chip. Não obstante, na escala nanométrica, os transistores de efeito de campo tem sofrido com tunelamento direto do emissor-dreno por causa de efeitos do canal curto [5]. A medida que os transistores diminuem a esse ponto de escala, efeitos não lineares surgem e mudam seu comportamento, não podendo ser analisados da mesma forma como os MOSFETs. Por outro lado, as estruturas de nanotubos de carbono (CNT) eliminam tais efeitos e permitem diversas aplicações na eletrônica [6]. Os transistores de efeito de campo consistidos por CNT são os CNTFET, que recentemente tem atraído muita atenção para desenvolvimentos da nanoeletrônica devido sua única estrutura, propriedades mecânicas e elétricas [7].

De acordo com os estudos de [8], e como reafirmado por Pimenta [9], os obstáculos encontrados pela indústria de semicondutores para ampliar a funcionalidade, capacidade dos circuitos integrados a ponto de abranger novas aplicações, visando superar as limitações que se encontram à deriva, podem ser classificados em 5 pontos. Primeiro, executa-se o ato de avançar nesse tipo de tecnologia em sua máxima densidade e funcionalidade, integrando-se novas tecnologias de alta velocidade e baixo consumo. Segundo, estender o

dimensionamento da tecnologia CMOS com materiais alternativos para compor o canal do transistor. Terceiro, avançar no processamento de informação substancialmente além do que é, aparentemente, tangível pela tecnologia CMOS usando uma combinação inovadora de novos dispositivos, interconexões e mudanças na arquitetura para estender a tecnologia CMOS e, em seu devido progresso, criar novas plataformas de tecnologia em processamento de informação. Quarto, estender ao máximo a tecnologia CMOS em seu dimensionamento máximo como uma plataforma de tecnologia nos novos domínios de aplicação e funcionalidade. O quinto, composto por desafios e o fato de ocupar o espaço entre dispositivos novos e arquiteturas não convencionais e paradigmas computacionais.

Logicamente, aprimorar a tecnologia CMOS com materiais alternativos para compor o canal do transistor é uma área de trabalho extremamente importante, há a necessidade de se pesquisar materiais com propriedades controladas que permitam a utilização de componentes emergentes com alta densidade em escala nanométrica. Os componentes mais promissores que possuem tais propriedades são os transistores de efeito de campo de nanotubos de carbono (CNTFET), os transistores de efeito de campo de nanofio (FETs de nanofio), entre outros. O funcionamento do CNTFET será detalhado mais adiante.

A questão é que para uma tecnologia ser aprovada no mercado e ser consolidada com a funcionalidade desejada, como possível avanço, em um futuro próximo, nas aplicações em que os MOSFETs não são eficazes dentro da nanoeletrônica ou, ainda, como mecanismo que permita a substituição dos MOSFETs nas aplicações já existentes e recorrentes da atualidade. Isso de forma a permitir, primordialmente, que os circuitos continuem aumentando seu nível de complexidade com componentes cada vez menores para entregar cada vez mais funcionalidades, é necessário a checagem da viabilidade prática. Portanto, esta tese trata da utilização dos CNTFET para a construção de um modelo de transceptor, em que o protocolo regido é o Zigbee.

O protocolo Zigbee provocou uma grande evolução na comunicação entre sensores e monitoramento, em geral, desde o momento em que foi consolidado no mercado. Logo, é bastante utilizado em Internet das Coisas (em inglês: Internet of Things), um conceito que se refere a interconexão de dispositivos ou objetos utilizados no cotidiano com a internet, e foge da utilização de padrões mais comuns como o Wi-Fi e o Bluetooth.

1.1 Objetivo Geral

Tendo em vista as características do projeto, o objetivo é modelar um transceptor Zigbee utilizando transistores com nanotubos de carbono, nos blocos dos misturadores de frequência, e testar sua viabilidade. O avanço sobre o conhecimento do comportamento eletrônico do CNTFET permite uma maior capacidade de entendimento e de projeto de circuitos baseados nesta tecnologia, estendendo mais além a lei de Moore. Os blocos

construídos em nível de transistores CNTFET são os misturadores upconverter (leva a banda-base para altas frequências) e o downconverter (traz a banda para baixas frequências). Os circuitos em nível de transistor (CNTFET) são testados isoladamente. Tendo comprovado o funcionamento dos misturadores a nível de transistor, junta-se o circuito ao modelo do transceptor. Os blocos restantes do transceptor foram projetados para simulações em Verilog-A, pois dessa maneira, as simulações mostrarão resultados rapidamente, sem a necessidade de longas simulações para analisar se o circuito está preparado ou não para ser projetado totalmente em nível de transistor. Após a validação do transceptor, de forma a verificar como o CNTFET se comporta junto com tecnologias mais utilizadas em projetos de chips, projeta-se um amplificador de baixo ruído (LNA), em CMOS. A metodologia realizada para os testes e modelagem do sistema será aprofundada mais adiante.

1.1.1 Objetivos Específicos

1. **Verificação dos Misturadores:** Verificação do desempenho dos mixers CNTFET upconverter e downconverter.
2. **Projeto dos filtros em Verilog-A:** Codifica-se os filtros passa-baixa Butterworth 2ª ordem, a partir da função de transferência para as frequências de corte 5 MHz (Rx) e 20 MHz (Tx).
3. **Projeto do PGA, LNA e PA em Verilog-A:** Codificação e simulações em transiente para verificação do controle de ganho no PGA, e verificação de ganho no LNA e no PA.
4. **Análise da interação MOSFET e CNTFET:** Através de um projeto de LNA CMOS, analisar a interação através de simulações do receptor e do transceptor, em geral.
5. **Contaminação dos CNTFET com impurezas:** Verificar resultados obtidos no transceptor com 0% e com 0.8% de nanotubos metálicos.

Nas seções seguintes serão abordados os conceitos fundamentais de forma a prosseguir com o projeto. Um projeto de Rádio Frequência, por si só, costuma interligar áreas da microeletrônica, comunicação, sinais, redes, esquemáticos de circuitos. Por se tratar de um transceptor Zigbee que emprega uma tecnologia relativamente nova, é necessário conhecer o protocolo em questão, os elementos que irão compor a arquitetura, que no caso são os CNTFET, e domínio de conceitos básicos de transceptores e seus componentes, principalmente, os mixers.

2 Zigbee

2.1 Surgimento e Aplicações

As tecnologias wireless estão presentes no cotidiano durante os últimos anos com certa consolidação em nível de importância e utilização, apresentam-se a transferência dos mais diversos tipos de dados entre diversos fabricantes. O investimento no padrão Zigbee começou por volta do fim da década de 90, onde os padrões mais comuns eram Wi-Fi e Bluetooth. O padrão ZigBee, basicamente, surge para suprir a necessidade de um padrão específico para sistemas de monitoramento e sensoriamento, sendo que os padrões Wi-Fi e Bluetooth causam certas limitações nessa aplicação, isso devido ao fato de que um foi criado para desenvolver um protocolo seguro com acesso à internet para dispositivos fixos/móveis com elevada taxa de transmissão de dados, já o outro, almejava-se uma rede menor, com limitação de distância e dispositivos conectados, respectivamente. Utilizar Wi-Fi ou Bluetooth era completamente inviável e gerava problemas nos dados, até então os diversos fabricantes deste tipo de equipamentos adaptavam soluções próprias criando sérios problemas de interoperabilidade entre sistemas.

Portanto, o Zigbee entra em mercado e entrega baixa taxa de transmissão fornecendo baixo consumo de energia, baixa transferência de dados, baixo custo, baixa complexidade dos nós, fatores que os outros protocolos tem baixa proficiência em entregar. Logo, trata-se de um protocolo de comunicação sem fios voltado para a automação e controle remoto das mais diversas aplicações. As redes Zigbee são comumente utilizadas em automação residencial, sistemas de segurança, sistemas de aquisição de dados, monitoramento florestal, monitoramento de poços de petróleo, monitoramento e controle industrial, monitoramento da sismologia e da saúde estrutural de construções. Logo, encontra-se com frequência o uso do padrão em aplicações de IoT (Internet of Things ou Internet das Coisas).

Dentre as diversas aplicações citadas, é possível encontrar vantagens em utilizar o Zigbee na manutenção dos postes de luz e na revisão dos relógios medidores residenciais, que são feitas por intermédio de um técnico. Geralmente, a necessidade do técnico subir um poste vai contra políticas de segurança, que estão cada vez mais restritas. No caso dos relógios, é necessário pedir autorização para que o técnico possa acessar a residência e verificar a medição. A utilização do Zigbee no sistema elétrico aconteceria quando um determinado ponto da rede elétrica deixasse de funcionar. Nesse caso, a central manda um sinal para averiguar qual ponto exato que saiu de comunicação. Sendo esse ponto detectado, envia-se um técnico ao local para averiguação do problema, e eventual reparo. Dessa forma, com o referido projeto em funcionamento, não é necessário que esse técnico

em operação suba no poste para averiguar o defeito. Através de um PDA (Personal Digital Assistant), ou algum outro dispositivo de avaliação, com hardware Zigbee instalado, o técnico efetuará a sincronização com a rede, e fará os testes necessários para descobrir a anormalidade. No caso dos relógios medidores residenciais, o técnico, na via pública, consegue acessar o relógio do consumidor e fazer a verificação do mesmo para checagem, seja ela a pedido do consumidor ou da própria central. A instalação dessa tecnologia aumenta inclusive a segurança do consumidor, pois este não corre o risco de que um indivíduo mal intencionado se faça passar por um técnico da companhia de energia. Para a companhia elétrica, a vantagem é que não há o risco do técnico chegar no local e não conseguir realizar suas medições devido a ausência de moradores para autorização da checagem. Possíveis aplicações são citadas na Figura 2.

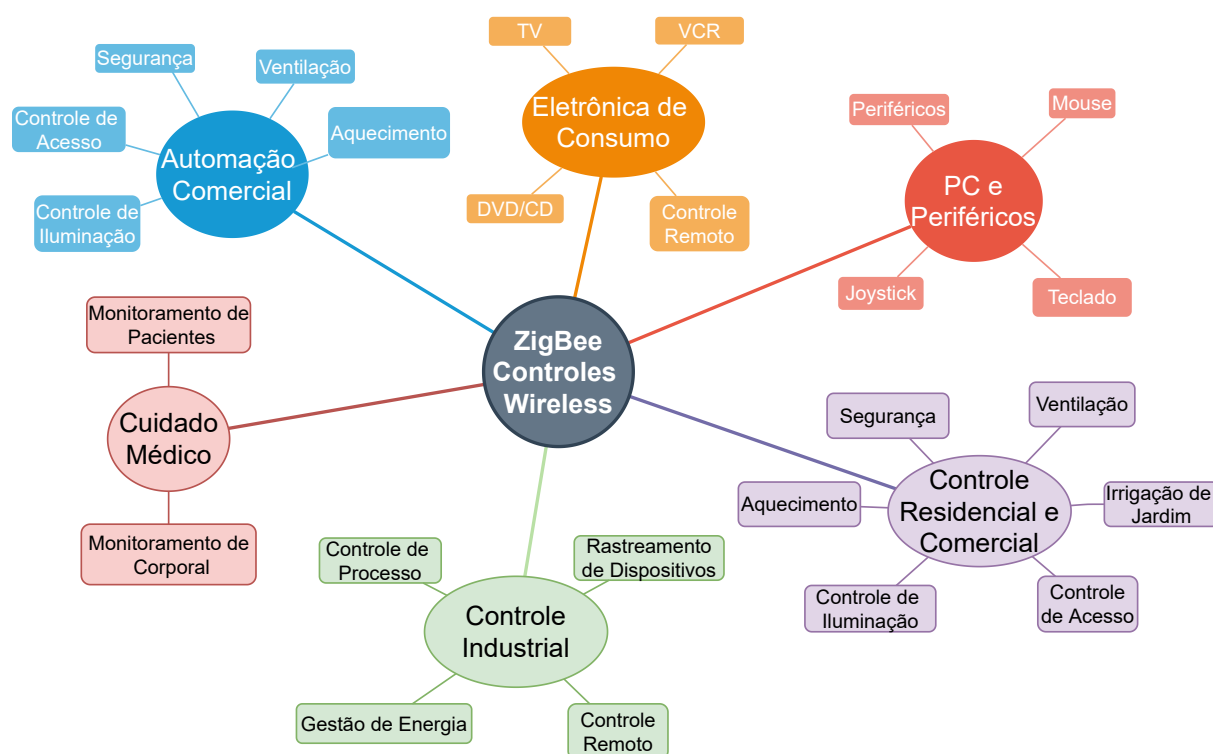


Figura 2 – Aplicações para Zigbee

Como apontado por essas aplicações, o objetivo principal do padrão é a obtenção de dados do ambiente ao entorno. Dados que se referem a pressão, temperatura, umidade, fluxo de água, vento, intensidade luminosa, radiação, campos elétricos ou magnéticos. Por fim, esses dados são processados, transmitidos e recebidos por rádio-frequência, e a visualização dos dados é disposta em alguma interface. O sistema deve possuir interoperabilidade, isto é, os dispositivos devem ser capazes de interagir entre si, independentemente da origem de sua fabricação, O que é uma das vantagens do protocolo, o sistema possui interoperabilidade mesmo quando há mensagens criptografadas por medidas de segurança [10].

2.2 Principais características

O padrão wireless foi fundamentado pela Zigbee Alliance mais a associação de oito empresas de tecnologia em conjunto com membros do IEEE (Institute of Electrical and Electronics Engineers), e financiada por mais de 150 empresas. A ZigBee Alliance e IEEE 802.15.4, definem todo o pacote do protocolo. IEEE foca nas especificações das baixas camadas, a física e a camada de comunicação de dados. Já a ZigBee Alliance define as especificações das camadas superiores, desde a camada de rede à de aplicação, para serviços de segurança, interoperabilidade de dados, alcance do wireless residencial, construir soluções de controle. De tal forma, que se tem o marketing e engenharia avançada para as soluções do padrão. Também, garante-se que os produtos podem ser comprados de diferentes produtores e com confiança de que haja funcionamento mútuo. Além disso, um nó de uma rede Zigbee é capaz de funcionar por 6 meses até 2 anos com apenas duas baterias AA, devido ao baixo consumo do padrão. [11]. Em referência as camadas de protocolo, têm-se a Figura 3.

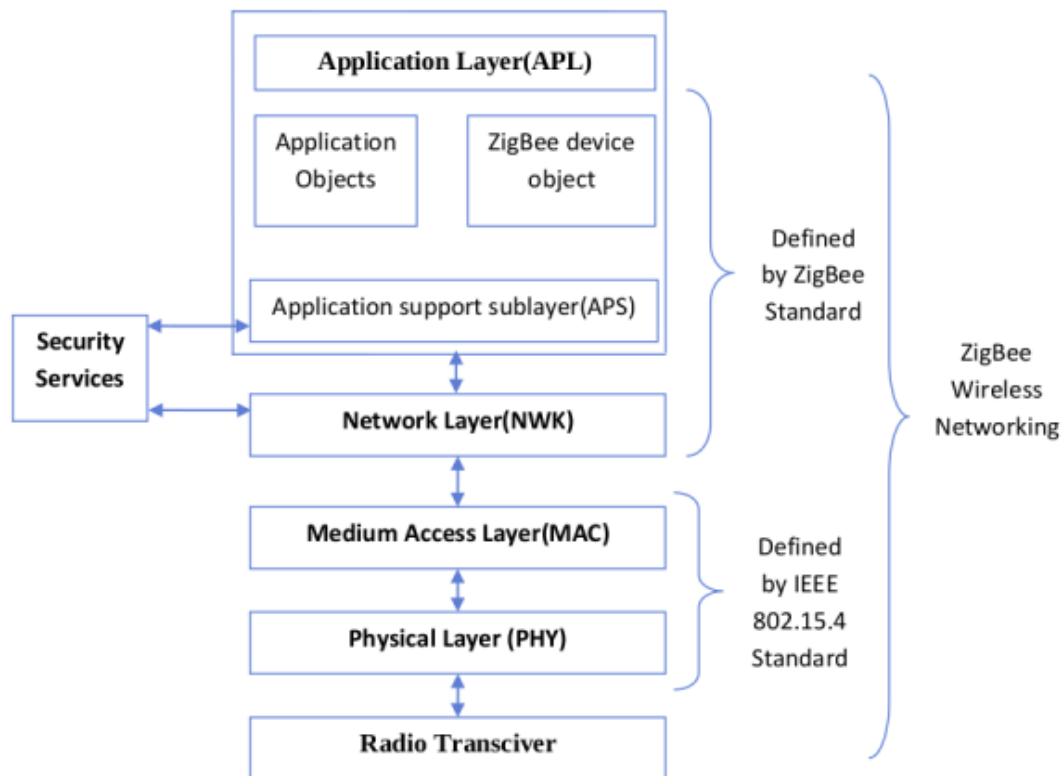


Figura 3 – Zigbee Layers
[10]

Como dito anteriormente, Ergen [11], já havia constatado, que as definições das camadas mais baixas, Medium Access Layer (MAC) e a Physical Layer (PHY), são feitas pelo padrão IEEE 802.15.4. Enquanto a Zigbee Alliance define as camadas Application Layer (APL) e Network Layer (NWK).

As redes dedicadas a comunicação industrial, com informação circulante relativa a sensores e dispositivos de controle (botoneiras, relés, entre outros), possuem, geralmente, características bastante distintas das redes pessoais ou empresariais para transmissão de voz e dados. Em uma rede de âmbito industrial, não se privilegiará tanto uma elevada taxa de transferência de dados, mas sim uma latência baixa e um consumo de energia igualmente baixo, para preservar a vida útil das baterias [12]. O Zigbee é um novo padrão com uma vasta área de aplicação que vai desde o controle industrial, telemetria à automação de residências, ele possui determinadas características que o tornam completamente diferente das demais, justificando sua criação [13]. O que de certa forma explica a não necessidade de taxas de transferência de dados tão altas quanto as do Bluetooth, além de ter a capacidade de ser implementado em uma malha de rede (mesh network) maior também. Estima-se que tais transceptores sem fio transmitam de 10 a 75 metros, considerando os aspectos de Rádio Frequência do ambiente e o consumo de saída requerido para determinada aplicação. Conjuntamente, opera em 2.4GHz global, 915MHz nas Américas e 868 MHz na Europa. Por fim, as taxas de transferências são 250kbps operando em 2.4GHz, 40kbps em 915MHz, e 20kbps at 868MHz. Em termos de modulação, é utilizado O-QPSK (Offset Quadrature Phase-Shift Keying), que usa 4 diferentes valores de fase para transmitir, isso quando a banda é 2.4GHz. E modula-se por BPSK (Binary Phase Shift Keying) em 915MHz ou 868MHz.

O Zigbee pode operar em dois modos: beacon e non-beacon, será mais detalhado ao explicar sobre as topologias de rede. Ainda, possui a capacidade de suportar uma grande densidade de nós por rede. Sendo um máximo de 65535 dispositivos por cada Zigbee coordenador, enquanto no Bluetooth são 8 e no Wi-Fi são 30. Além de apresentar um baixo tempo de ligação à rede, quando comparado aos outros protocolos, também apresenta maior rapidez na transação do modo standby ao modo ativo, e baixa latência. Ademais, contém dois estados de operação sendo o ativo para envio ou recepção de dados, e o sleep, não precisando assim se preocupar com o modo mais adequado [12].

Observando os aspectos de construção em IoT, fala-se muito em Zigbee ou RFID. Os dois são muito confundidos. O Zigbee, como já dito, é utilizado em aplicações com baixas taxas de transferência que requerem um prolongamento bem maior em quesito de duração da bateria, sendo seu alcance bem definido em poucos metros. O RFID tem um grande alcance para transmissão de dados quando comparado com o Zigbee, e é muito utilizado para rastreamento de objetos. O RFID revolucionou o rastreamento, em geral. Então, conclui-se que as aplicações em IoT são diferentes para cada um. De forma a elucidar mais sobre as principais características do Zigbee e dos outros padrões, utiliza-se a tabela de comparações (Tab. 1)

Tabela 1 – Características de Diferentes Protocolos

Categoria	Débito	Consumo	Pilha	Vantagens	Aplicações
Wi-Fi (IEEE 802.11b/g)	54Mbps	>400mA TX, standby 20mA	1MB+	Elevada taxa de transferência	Internet, Transferências de Ficheiros, Vídeo/Aúdio
Bluetooth (IEEE 802.15.1)	1Mbps	>400mA TX, standby 20mA	250KB	Interoperabilidade, substituição de cabos	Periféricos de PC e Telemóveis, PDA's
ZigBee (IEEE 802.15.4)	100kbps	>30mA TX, standby 0.20A	32KB	Latência, Número de Nós, Fiabilidade, Interoperabilidade, etc	Controles Remotos, Sensores, Dispositivos alimentados por bateria

Com o objetivo de mostrar as diferentes formas de operação de cada protocolo, é possível visualizar de maneira mais dinâmica um gráfico entre os diferentes alcances pela taxa de transmissão dos protocolos mais conhecidos, na Figura 4.

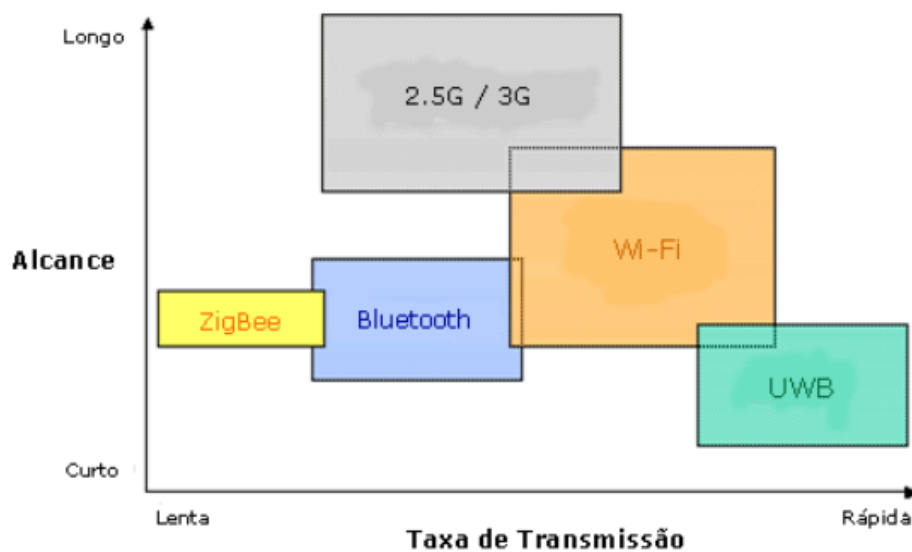


Figura 4 – Taxa de Transmissão
[14]

Devido à baixa taxa de dados, o ZigBee não é a melhor escolha para se implementar uma conexão wireless à internet. No entanto, se o objetivo da comunicação wireless for para transmitir e receber comandos simples ou com finalidade de sensoriamento, constata-se que o ZigBee oferece a solução mais econômica e o menor consumo de potência em comparação com o Bluetooth, Wi-Fi ou UWB. Ainda, segundo a análise de Lee [14], sobre a comparação do consumo de potência entre os protocolos Bluetooth, Zigbee, UWB e Wi-Fi, ressalta-se que devido ao Zigbee e o Bluetooth, em geral, serem direcionados a

menores distâncias e possuírem baterias limitadas, o protocolo deve ofertar baixo consumo de potência, como já foi dito anteriormente, e em alguns casos esse baixo consumo não afeta a vida da bateria utilizada. O padrão UWB (IEEE 802.15.3) também é para curtas distâncias, porém, com altas taxas de transferência. Enquanto que o Wi-Fi é designado para conexões mais longas e suporta dispositivos com maior consumo de potência. É, então, possível visualizar como a finalidade do protocolo implica no consumo de potência, pela Figura 5.

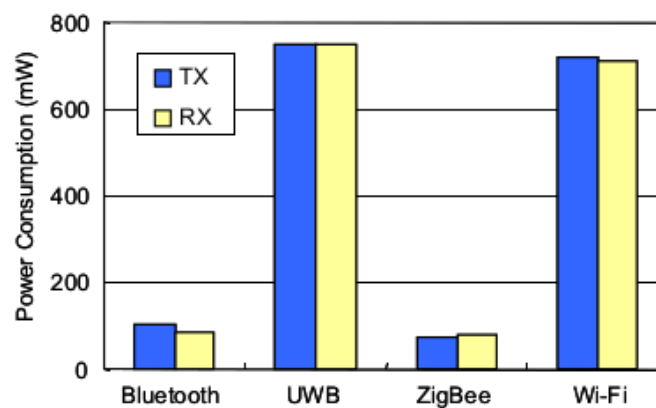


Figura 5 – Análise do consumo de potência
[14]

2.3 Topologias de rede

O grupo de trabalho 11 responsável pelos padrões do IEEE 802.11, consideram a existência de quatro grandes grupos, em termos de redes sem-fios [12]:

- WPAN – Wireless Personal Area Network: em geral, formadas por ondas de rádio pequenas e pouco potentes. Enquadram-se tecnologias wireless de baixo alcance, entre 10 e 100 metros. A área compreende as redes sem fios que utilizam dispositivos como os PDA's, PC's ou periféricos, sendo o campo de tecnologias como o Bluetooth (responsabilidade do subgrupo IEEE 802.15.1) ou IrDA. As WPANs são classificadas em três classes, WPANs de alta taxa (HR), WPANs de taxa média (MR) e WPANs de baixa taxa (LR). O ZigBee, com uma taxa de dados máxima de 250kbps, é classificado como um LR-WPAN. O Low-Rate WPAN, tenta reunir uma baixa transferência de dados, baixa complexidade e oferecer um consumo energético reduzido. O ZigBee foi desenvolvido sob a responsabilidade do subgrupo de trabalho IEEE 802.15.4.
- WLAN – Wireless Local Area Network: tecnologias que se destinam a redes sem fio com alcance situado entre os 100 e 300 metros, frequentemente como extensão

ou alternativa a redes de cabeamento convencional (par de cobre, cabo coaxial ou fibra óptica).

- WMAN – Wireless Metropolitan Area Network: área em que o objetivo é relativo a acessos de banda larga em redes de âmbito metropolitano, cujo alcance será em torno de alguns poucos quilômetros.
- WWAN – Wireless Wide Area Network: o grupo mais amplo em termos de alcance, é orientado para serviços de telecomunicações (voz e dados, em longa distância de transmissão).

A Figura 6 mostra as redes wireless de baixo alcance e, conseqüentemente, as classificações listadas do grupo WPAN.

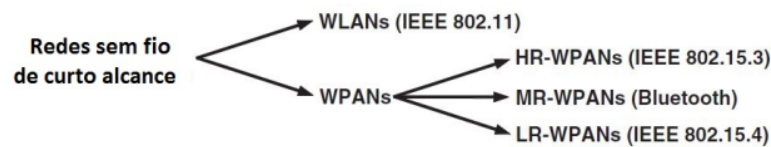


Figura 6 – Redes wireless de baixo alcance
[15]

A priori, como dito acima, as especificações do WPAN são mais simples, e por isso, é desenvolvido para aplicações com requerimentos mais relaxados, não aguenta lidar com o consumo de potência de pilhas de protocolos mais pesadas. Diversos componentes WPAN compõe um sistema Zigbee. O device (dispositivo) é um componente mais simples, pode ser um Full-function device (FFD), o ou um Reduced-function device (RFD). Uma rede deve incluir pelo menos um FFD operando como PAN coordinator (coordenador). Em termos simples, um PAN coordinator é a raiz da árvore de rede. Ainda, o FFD pode operar em 3 modos, PAN coordinator (em rede pessoal), device ou coordinator. O RFD é direcionado para aplicações que são extremamente simples e que, geralmente, não é necessário o envio de grandes quantidades de dados. O FFD se comunica com RFDs e outros FFDs, mas o RFDs só se comunica com o FFD [11].

Tendo em vista tudo o que foi levantado, mostra-se a disposição das diferentes topologias de rede na Figura 7.

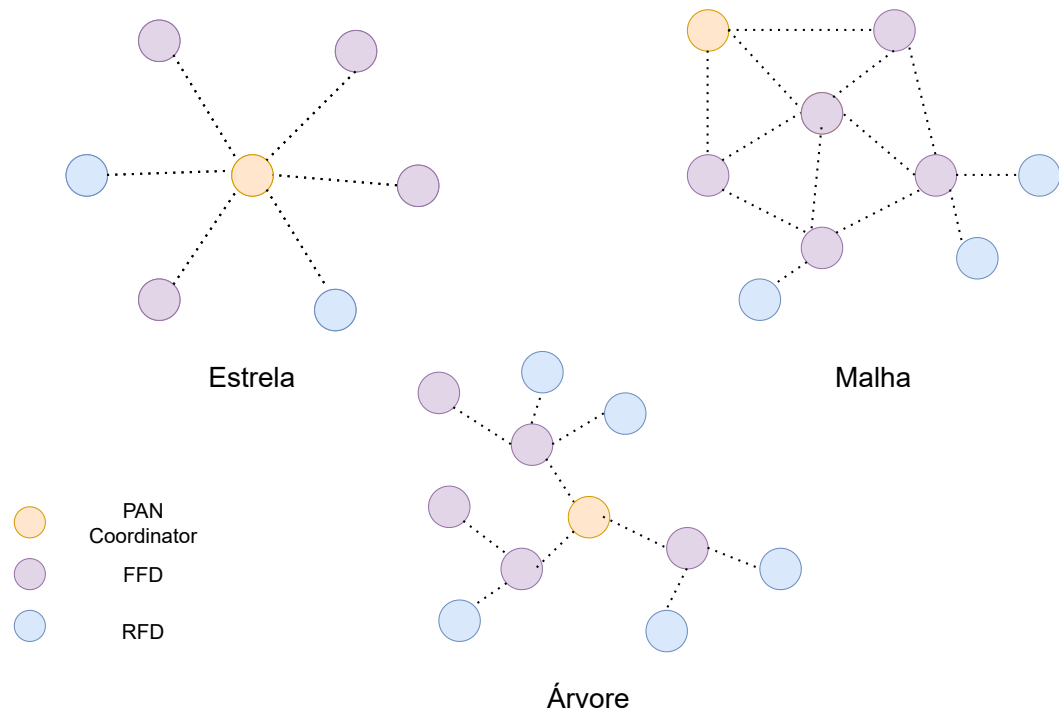


Figura 7 – Topologia de redes
Adaptado de [11]

As topologias são: mesh (malha), cluster tree (árvore), star (estrela). Em uma mesh, dispositivos individuais (nós) podem falar um com outro diretamente sem necessidade de um servidor central, pode ser ad hoc ("para esta finalidade"), organiza-se por conta própria e se monitora. Ainda, vê-se apenas um PAN coordinator, o Coordinator registra toda a entrada e saída de dispositivos, mas não assume um papel predominante em termos de fluxo de informação. Também, mostra confiabilidade em prover roteamento por múltiplos caminhos. Ressalta-se, qualquer dispositivo pode se comunicar com outro dispositivo desde que eles estejam no alcance um do outro. As aplicações comuns que são beneficiadas por essa topologia são o controle e monitoramento industrial, redes sem fio de sensores, rastreamento de inventários. Já na topologia estrela, as aplicações que se beneficiam são automação de casas, dos periféricos do PC, jogos. A comunicação é estabelecida entre um controlador, PAN coordinator, e os dispositivos, depois que o FFD é ativado pela primeira vez, o mesmo pode estabelecer sua própria rede e se tornar o PAN coordinator. Cada rede estrela escolhe um identificador PAN, que normalmente não é usada por nenhuma outra rede dentro do raio de influência. Portanto, cada rede estrela pode operar independentemente.

A topologia cluster tree compartilha algumas semelhanças com a topologia mesh, também são utilizados dispositivos Router [12]. A diferença é que a topologia em si efetua a distribuição de dados e mensagens de controle através de uma estrutura hierárquica, onde o Coordinator assume o papel de nó "nuclear" da rede.

Detalhando os modos de operação do Zigbee, de acordo com Braga [16], consta-se que o coordinator pode operar a rede com recurso a uma estrutura designada por super-frame. No caso de ela estar presente, o modo de operação é designado por beacon, caso contrário, é non-beacon.

No Modo beacon, basicamente, o coordinator da rede transmite periodicamente um frame que é utilizado pelos dispositivos para a sincronização, determinação do envio e recebimento das mensagens. Este modo é usado quando o coordenador opera sobre baterias e assim oferece uma maior economia da bateria (low power mode). Já no modo Non-beacon, requiere-se que o coordinator esteja sempre “acordado”, fazendo com que haja um maior consumo energético, pois qualquer dispositivo pode comunicar com o coordinator a qualquer momento. Dado tais características, pode-se dizer que o modo non-beacon é análogo a um socket passivo (servidor), que fica em loop esperando uma requisição do sistema.

3 CNTFET

3.1 Características do CNTFET

De acordo com Pimenta [9], para muitos pesquisadores, a procura por um semicondutor ideal para ser usado nos transistores de efeito de campo foi realizada com sucesso quando nanotubos de carbono de parede única foram inicialmente apresentados como dispositivos promissores, mostrando-os como uma alternativa consideravelmente viável em determinadas aplicações. Esses transistores já demonstraram diversas características, incluindo boas performances em baixas voltagens com um canal menor que 10nm em comprimento, que é onde os próprios MOSFETs já não são mais tão úteis em rendimento [17].

O CNTFET contém características determinantes que precisam ser tratadas com atenção durante seu período de fabricação, como o controle de quiralidade, que determina as propriedades semicondutoras do nanotubo, o alinhamento dos nanotubos através do transistor, dopagem, aprimoramento dos contatos. Ainda, os pontos mais importantes tratam do aumento da densidade de nanotubos (ultrapassar a densidade linear de 200 CNTs um^{-1}) e a alta porcentagem de nanotubos semicondutores, essencial para um funcionamento satisfatório do transistor [18]. O nanotubo de carbono é extremamente forte mecanicamente, a superfície é perfeitamente regular e, normalmente, isenta de imperfeições, o transporte dos elétrons é feito por movimento balístico. Dessa forma, segundo Pimenta [9], o CNTFET funciona sob condições extremamente desejadas, tais como a alta capacidade de miniaturização, o grande controle sobre a formação do canal, a baixa tensão threshold (V_{th}), a alta mobilidade de elétrons e a alta densidade de corrente. Entretanto, um dos maiores problemas do CNTFET é a parte principal em sua estrutura, quanto mais nanotubos metálicos presentes em um CNTFET, pior é o rendimento do transistor. Ainda, é utilizado o CNT (Nanotubos de Carbono) como um canal, entre a fonte e o dreno no MOSFET de silício convencional, o CNT funciona bem como uma extensão da arquitetura dos MOSFETs. A estrutura do CNTFET é parecida com a do MOSFET de silício, tirando os nanotubos. E o CNTFET opera com o mesmo princípio do MOSFET, pois os elétrons viajam do terminal de fonte para o terminal de dreno.

As vantagens do CNTFET podem ser exploradas em várias aplicações, tanto em analógicas e baseadas em RF, quanto em aplicações digitais. Pode-se afirmar que os CNTFET têm suas aplicações emergentes em OP-AMPs de baixa potência, aplicações em RF, portas inversoras para a síntese de circuitos digitais. Contudo, as aplicações não se resumem apenas em áreas de circuitos integrados, como, também, em áreas de sistemas mecânicos, áreas da biomedicina, na indústria automobilística [19].

Instala-se um ou vários nanotubos em paralelo para fazer o transporte de carga, e também podem operar a uma frequência mais elevada que os MOSFETs [20]. Devido ao fato de seu canal ser composto por um tubo de grafeno e possuir um caminho médio livre elevado, torna o transporte dos portadores balístico e resulta em uma intensidade de corrente elétrica maior. O modelo do CNTFET segue explicitado pela Figura 8.

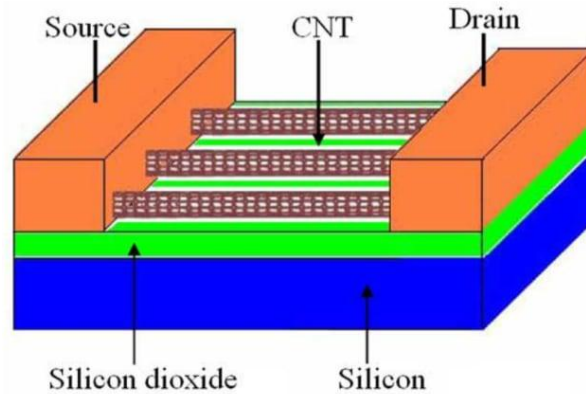


Figura 8 – CNTFET Estrutura
[21]

Levando em consideração que é constituído por nanotubos de carbono e possui as dimensões de dreno, fonte e porta bem definidos, seu canal é discretizado. A distância entre tubos vizinhos é de $2dt$, ou seja 2 vezes o diâmetro para prevenir que haja acoplamento eletrostático entre os tubos. Esse transistor aumenta sua potência de saída a medida que mais células unitárias são associadas em paralelo, isso acontece devido ao fato que com mais tubos em paralelo a corrente associada também aumenta, isso mostra a capacidade do uso dessa arquitetura para projetos analógicos, essa característica é chamada de multi-dedo. Tal configuração, difere das arquiteturas usuais de transistores por ser assimétrica, isso é proposital, pois as dimensões interferem diretamente no comportamento do transistor, elas são ajustadas para obter as especificações desejadas.

Como afirma Moroguma [20], a característica multi-dedo é representada pela presença de vários blocos de célula unitária juntos. Um bloco composto por uma célula unitária é formado pela presença de uma sequência de fonte, dreno e porta bem definidos. Devido a junção de várias células em paralelo, chega-se a um transistor multi-dedo. Dependendo da densidade de nanotubos, determina-se a quantidade numérica de tubos em paralelo, realizando a multiplicação de Wg (largura da porta) pela densidade de tubos. É multi-tubo por possuir diversos tubos em paralelo. De forma a elucidar, pode ser visto uma célula unitária na Figura 9.

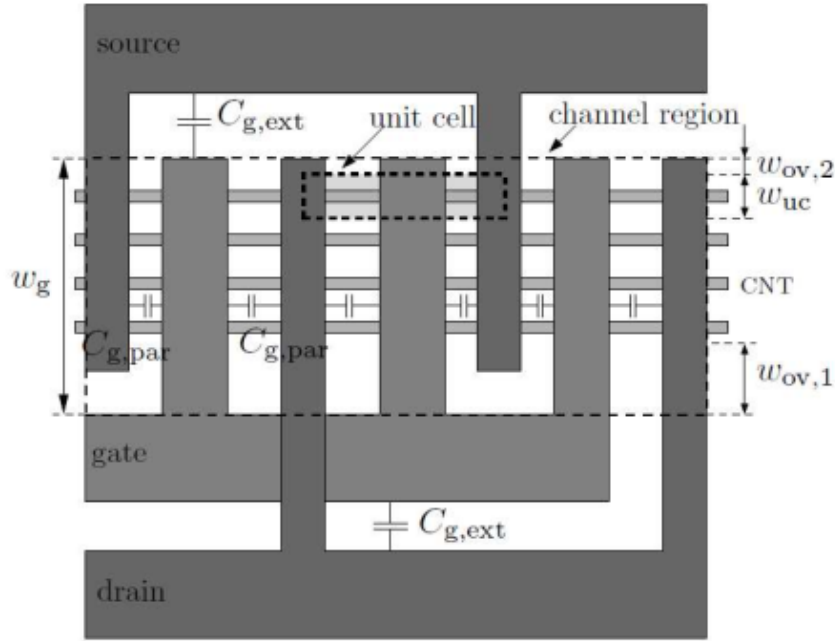


Figura 9 – CNTFET multi-dedo, multi-tubo
[20]

A Figura 9 se trata de um layout comum para aplicações de amplificação de potência. A potência de saída pode aumentar, a medida que vários CNTs são colocados em paralelo, enquanto que a estrutura multi-dedo aumenta o número de canais por tubo. Entretanto, nessa estrutura, as capacitâncias parasitas devem ser consideradas em cálculos, pois as mesmas podem ditar o comportamento do circuito, e devem ser observadas as capacitâncias parasitas externas e as internas (do canal). De acordo com [22], o impacto no circuito é medido pelo cálculo da frequência de transição:

$$f_t = \frac{gm}{2\pi C_g} \quad (3.1)$$

Onde gm é a transcondutância e C_g é a soma das capacitâncias no gate dada por:

$$C_g = C_{g,int} + C_{g,par} + C_{g,ext} \quad (3.2)$$

Um dos detalhes importantes é que o gm no CNTFET é regido por uma grande expressão com várias derivadas, da qual não são viáveis de se calcular sempre. Os projetos de circuitos analógicos em CMOS são mais simples por existir um modelo de pequenos sinais que é aplicado aos transistores para se determinar o valor de gm (transcondutância) e, conseqüentemente, determinar a largura da porta. Entretanto, os CNTFETs não seguem o mesmo modelo de resolução por não possuir essa análise simples de pequenos sinais. A saída para tal problema é composta por análises gráficas dos resultados obtidos.

Tendo em vista que a característica multi-tubo faz com que o transistor possa conduzir maiores correntes por ele apresentar vários tubos em paralelo, o mesmo acaba sendo fundamental em projetos complexos que demandam potências maiores. A característica multi-dedo está relacionado com a impedância na porta, quanto maior for a quantidade de dedos/portas em paralelo, menor será a impedância na porta. Tal fator ajuda no projeto de circuitos de alta frequência [20].

A porcentagem de nanotubos metálicos presentes no CNTFET altera drasticamente o funcionamento do transistor. Aumentando este parâmetro, aumenta-se o número de conexões de nanotubos metálicos entre dreno e fonte, diminuindo assim o controle do transistor. Tal fato é justificado por não apresentarem variação da condução com a variação da tensão no gate V_g . Portanto, é altamente desejável que a porcentagem de nanotubos metálicos seja sempre a menor possível [9]. A performance do circuito CNTFET E MOSFET depende de uma corrente de dreno por uma curva de voltagem (I-V) para várias tensões de gate [23]. O gráfico de corrente por tensão de ambos os transistores é visto na Figura 10.

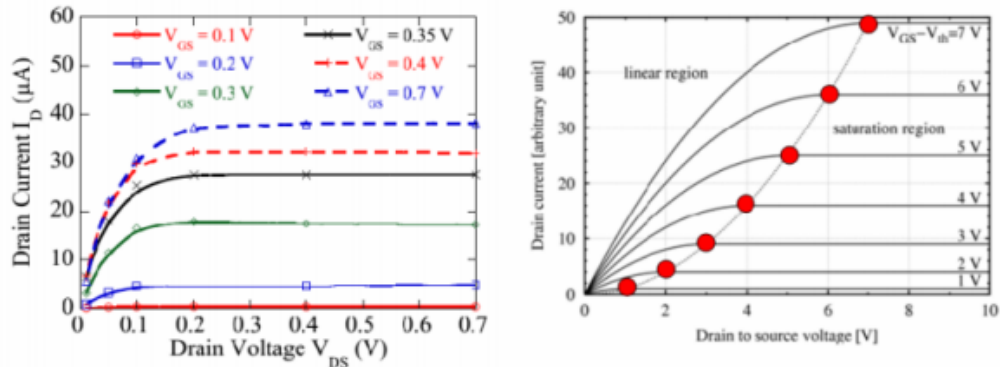


Figura 10 – CNTFET e MOSFET I_d por V_d [24]

Como observado na figura acima que compara os dois circuitos, o CNTFET (gráfico à esquerda) não possui a região linear, que o MOSFET possui, mas sim uma região de saturação gradual, garantindo um melhor comportamento elétrico. Inclusive, a corrente dada por um CNTFET é:

$$id = \frac{4ek_bT}{h} [\ln(1 + e^{\xi_S}) - \ln(1 + e^{\xi_D})] \quad (3.3)$$

Onde k_b , T e h são constantes de Boltzmann, temperatura de equilíbrio e constante de Plank, respectivamente [25]. Além disso temos a equação para a constante ξ :

$$\xi_n = \frac{\psi_s - \Delta_1 - u_n}{k_bT} \quad (3.4)$$

ξ_n é uma constante calculada para $i = s$ e $i = d$. Δ_1 é metade do intervalo de banda do CNTFET, ψ_s é o potencial da superfície e u_1 é o nível de Fermi. O CNTFET em 2D, pode ser visto na Figura 11, mostrando a diferença de potencial químico no canal.

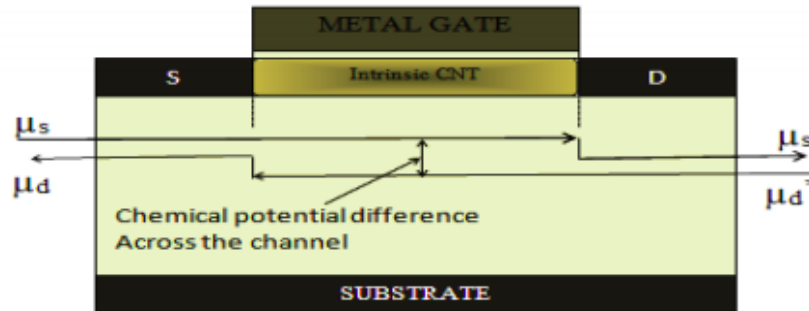


Figura 11 – CNTFET em 2D
[25]

O crescimento catalítico dos nanotubos leva a aproximadamente 30% de tubos metálicos, se não houver nenhum processo de tratamento. Em CNTFETs, é desejável que os tubos tenham características semicondutoras, fazendo com que os tubos que tenham características metálicas sejam toleráveis no projeto. Entretanto, é necessário a checagem da porcentagem que pode inviabilizar o projeto de alguns circuitos devido a impurezas dos nanotubos.

Atualmente, há extrema necessidade de analisar o desempenho do CNTFET em circuitos analógicos complexos fazendo o uso de algum modelo compacto e eficiente, multi-tubo, multi-dedo e balístico, para fins de comparação com o MOSFET.

3.2 Estrutura CNT

O CNT é feito de átomos de carbono nanométricos e enrolados em forma cilíndrica desatada no formato de um único átomo com camada grossa de folha de grafeno. Quando a estrutura é feita de apenas uma folha de grafeno enrolada em uma estrutura cilíndrica, que funciona como canal, trata-se do Single Wall Carbon Nanotube (Nanotubo de Carbono com Paredes Simples), SWCNT. Quando existem várias camadas de grafeno enrolados em um tubo concêntrico funcionando como canal, obtém-se o Multi Walled Carbon Nanotube (Nanotubo de Carbono com Paredes Múltiplas), MWCNT [26]. É possível conferir as diferenças estruturais através da Figura 12.

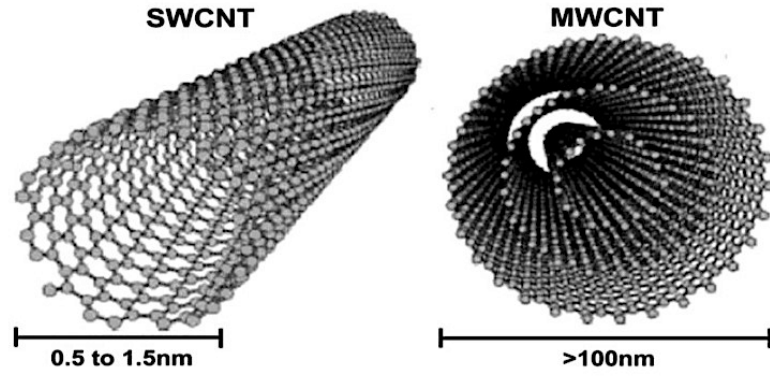


Figura 12 – CNT Estrutura
[27]

Ainda, dependendo do diâmetro ou do ângulo de enrolamento, os CNT têm natureza metálica ou semicondutora [18]. Também, já foi comprovado que o band gap (lacuna de banda) do semicondutor nanotubo de carbono diminui com aumento do diâmetro. Devido a sua alta condutividade, propriedades metálicas e semicondutoras, os SWNTs estão sendo usados amplamente na fabricação de CNTFETs e são preferidos em aplicações eletrônicas.

A classificação em torno da simetria dos CNTs é aquiral (simórfico) ou quiral (não-simórfico). O CNT com a simetria aquiral possui em sua imagem espelhada uma estrutura igual a da qual se originou. Dentro da simetria aquiral, há duas classes: armchair e zigzag. As classes são devido a forma do anel transversal. Já os CNT quirais, exibem uma simetria espiral que a imagem espelhada não pode sobrepor a imagem original. São axialmente quirais, nomenclatura comum na química, e possuem diversidades de geometrias em CNTs, que podem alterar diâmetros, quiralidade e estruturas [18].

Ainda de acordo com [18], um dos fatores determinantes no modelo da estrutura é o chamado vetor quiral, que é descrito pela equação 3.5.

$$\vec{Ch} = n.\vec{a}_1 + m.\vec{a}_2 \quad (3.5)$$

Os vetores \vec{a}_1 e \vec{a}_2 são unitários, n e m são índices inteiros. Para possuir características de condução metálica, os coeficientes n e m de enrolamento do nanotubo devem ser iguais ($n = m$). Se $(n - m)$ é múltiplo de 3, sendo ($n \neq m$), ($n \neq 0$) e ($m \neq 0$), o nanotubo possuirá características quasi-metálicas. Entretanto, se ($n \neq m$), o nanotubo terá características semicondutoras. Ainda, o diâmetro do nanotubo é definido por L/π , onde L é o perímetro do nanotubo de carbono [18], $L = \sqrt{\vec{Ch} \cdot \vec{Ch}}$. Portanto, temos que

D é definido pela equação 3.6.

$$D = \frac{a\sqrt{n^2 + m^2 + n.m}}{\pi} \quad (3.6)$$

Onde a é a constante cristalina da rede de grafeno ($a = \sqrt{3} \times 1.44\text{\AA} = 2.49\text{\AA}$). A ligação covalente C-C nos nanotubos de carbono tem aproximadamente 1.44\AA [18].

Um outro fator importante, como mencionado anteriormente, é o ângulo de enrolamento, que fica entre o vetor \vec{Ch} e o vetor \vec{a}_1 . Portanto, para encontrar o ângulo, desenvolve-se:

$$\cos(\theta) = \frac{\vec{Ch} \cdot \vec{a}_1}{Ch \cdot a_1} = \frac{2.n + m}{2\sqrt{(n^2 + m^2 + n.m)}} \quad (3.7)$$

Logo, ao aplicar o arco cosseno na fração, encontra-se o ângulo quiral. Além disso, todas essas propriedades que afetam o nanotubo de carbono são elucidadas na Figura 13 e na Figura 14.

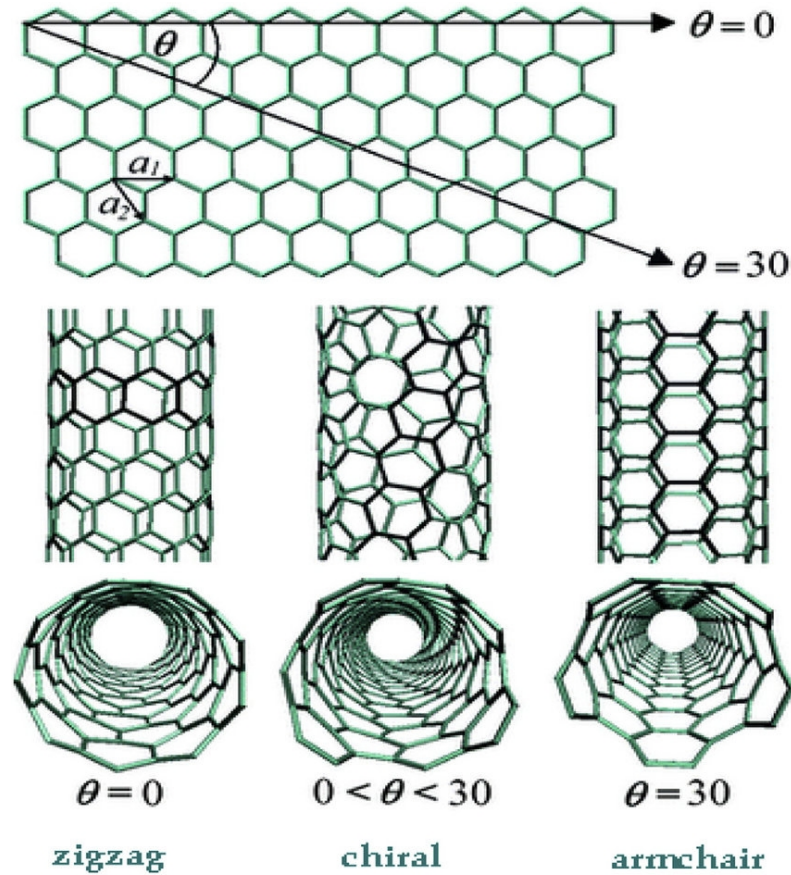


Figura 13 – CNT Propriedades [18]

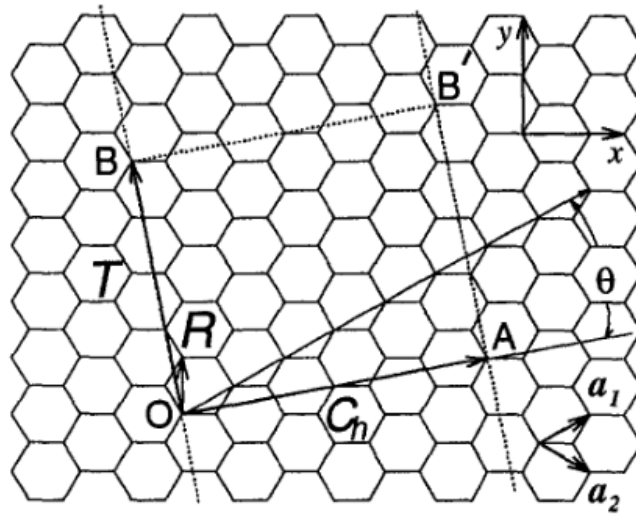


Figura 14 – CNT Vetores
[18]

3.3 Síntese dos CNT

3.3.1 Vaporização a Laser

O método em si passou a ser utilizado para produção de fulereno e CNT pelo grupo Smalley, sendo que originalmente era utilizado para produção de partículas ultrafinas [28] e arquiteturas chamadas "clusters"[29], que se refere a estruturas de ligação. Devido a densidade de energia do laser ser maior que a de outros dispositivos de vaporização, seu uso acaba sendo mais eficiente para materiais com alta temperatura de ebulição, como o carbono. A aplicação no carbono, resultou na descoberta de fulerenos pelo espectrômetro de massa, que são uma forma alotrópica do carbono, a terceira mais estável após o diamante e a grafite. São populares entre os químicos pela sua versatilidade para a síntese de novos compostos químicos e propriedades físicas e químicas específicas. Entretanto, a identificação estrutural foi impossível na primeira aplicação devido as quantidades serem muito pequenas. Para produzir grandes quantidades de fulereno e outros materiais nanométricos, Smalley desenvolveu a vaporização a laser junto com o sistema de recozimento em 1992, tornando possível a produção em larga escala de fulerenos e CNTs, tais descobertas foram apicadas em 1996, principalmente nos SWNTs [28], [30].

Tal método consiste em um forno a laser, um tubo Quartz, um alvo composto de carbono dopado com metais catalisadores, um sistema de controle de fluxo de gás que deve manter a pressão e o fluxo constante, e uma "armadilha" refrigerada por água. Tudo compactado na Figura 15.

O laser é focalizado no alvo de carbono dopado, que está localizado no forno. O alvo é vaporizado pelo laser dentro do forno para formar o SWCNT. O fluxo e a pressão de Ar são aproximadamente de 1 cm/s e 500 torr, respectivamente [28]. Assim como

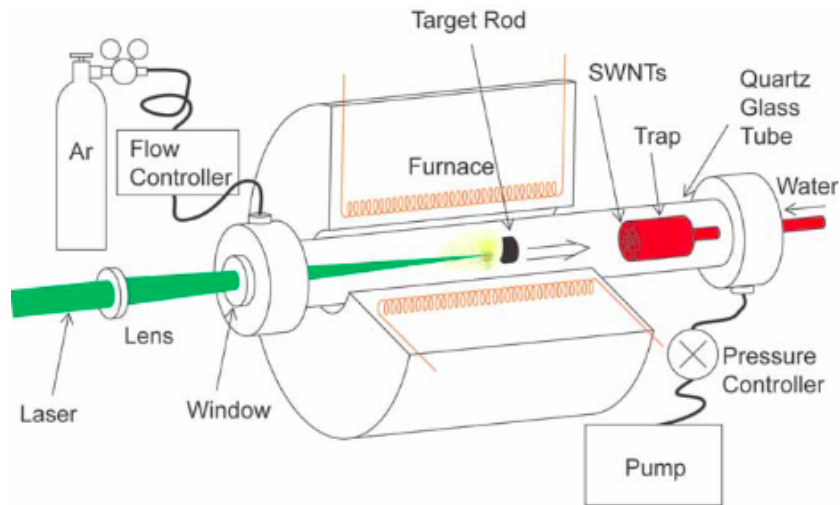


Figura 15 – Vaporização a Laser
[28]

reafirmado por [20], os SWCNT são conduzidos pelo fluxo de gás até a "armadilha", onde são coletados. O método gera CNTs muito mais homogêneos que o método por descarga de arco, que será tratado com detalhes adiante. Existe um método híbrido que produz CNTs mais homogêneos ainda, e se trata da junção dos dois métodos já mencionados. Por isso é conhecido como descarga de arco por pulso em alta temperatura. O processo em si utiliza uma descarga de arco por pulso dentro do forno, SWCNTs resultantes desse procedimento ainda terão contaminantes metálicos [30]. Em função de remover esses contaminantes é necessário que haja um processo de purificação baseado em oxidação por ar quente ou um processo químico a base de H_2O_2 .

O diâmetro do CNT pode ser controlado mudando vários fatores como a temperatura do forno, metal catalisador, fluxo de gás. Ainda, quanto maior a temperatura do forno, maior é o diâmetro do SWCNT de acordo com [28]. As ligas utilizadas como metais também influenciam no diâmetro.

3.3.2 Descarga por Arco

O método em referência segue o esquemático apresentado na Figura 16.

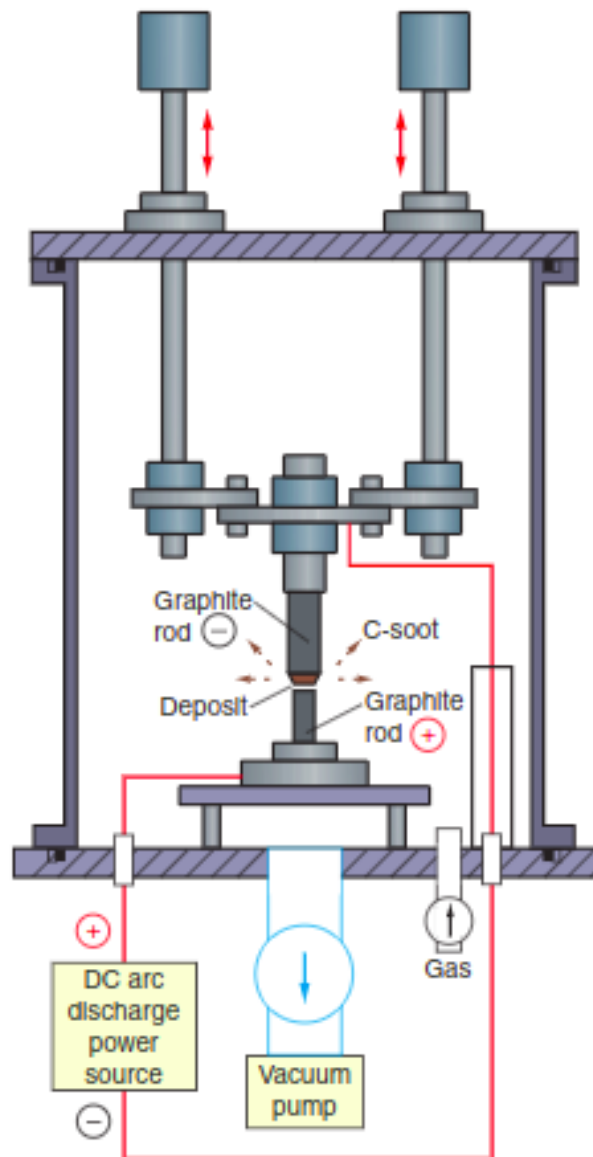


Figura 16 – Descarga por Arco
[28]

O esquemático se trata de uma câmara a vácuo, onde dois eletrodos de grafite são instalados verticalmente e mantidos separados por 1 a 2 mm. Após a evacuação da câmara por uma bomba de difusão, gás de ambiente rarefeito é introduzido. Quando um arco é descarregado por uma voltagem dc aplicada aos grafites, o ânodo é consumido, e o fulereno é formado [31]. Após esse processo, é comum parte do ânodo de carbono evaporado ser depositado no topo do cátodo. Observa-se pela Figura 17, uma imagem ótica da região do depósito.

Na região A, encontra-se o topo do cátodo. O depósito possui uma textura colunar encontrada em B e possui uma espessura (d) de aproximadamente 6mm. A região C é o depósito do cátodo de frente para o ânodo. Iijima encontrou MWNTs ao observar o

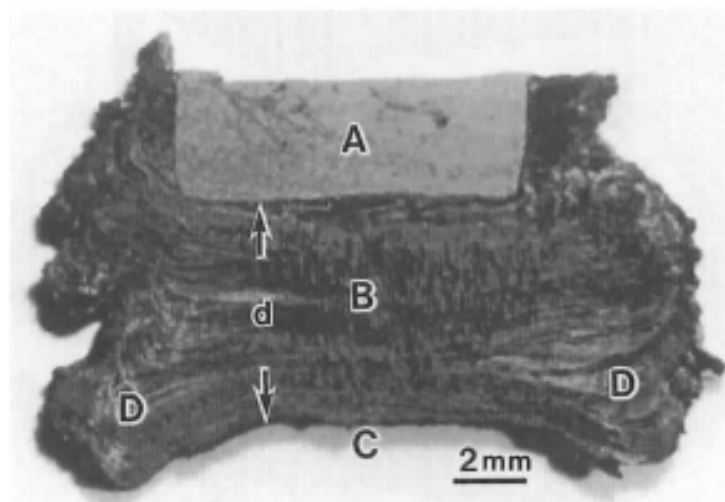


Figura 17 – Depósito do ânodo de carbono
[31]

depósito em um microscópio de transmissão eletrônica (TEM) [31]. Realizou-se a produção em massa de MWNTs por esse arco de descarga, também, observava-se as diversas fibras e nanopartículas no microscópio de escaneamento eletrônico (SEM). É possível ver os resultados na Figura 18.

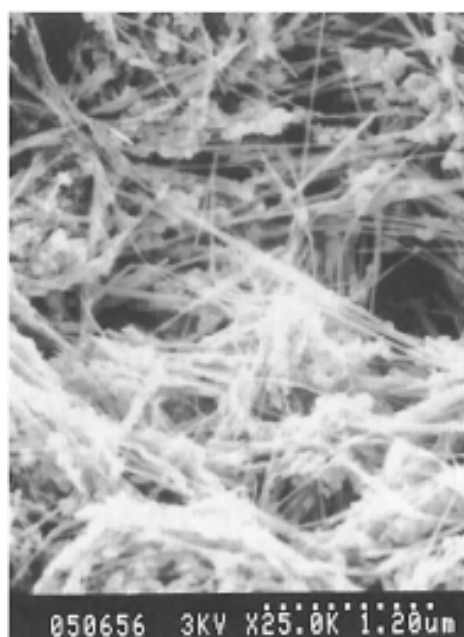


Figura 18 – MWNTs e nanopartículas produzidas em Hélio
[31]

O depósito do cátodo produzido por um arco dc no gás Hélio em 2.66×10^4 Pa é o referido em (Fig. 18). Contudo, também, realizou-se o mesmo experimento em He, Ar e CH_4 em 1.33×10^4 Pa, sendo o CH_4 o gás que gerou melhores resultados [31]. Os resultados podem ser observados na Figura 19.

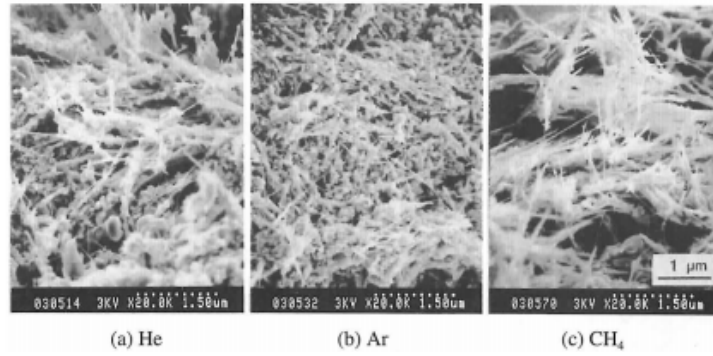


Figura 19 – MWNTs e nanopartículas produzidas em He, Ar e CH_4 [31]

Um detalhe importante é que o fullereno não pode ser encontrado dessa mesma maneira utilizando evaporação de arcos dc no gás. Além disso, como afirmado por [32], de forma a aumentar a eficiência, analisou-se a estequiometria do ambiente após a vaporização pelo arco dc e foi constatado que os gases H_2 e C_2H_2 estavam presentes no meio de acordo com a seguinte relação de estequiometria $2CH_4 \rightarrow 3H_2 + C_2H_2$.

Constatou-se que a pressão na câmara aumentou depois da evaporação do arco. Tais resultados afirmam que os gases puros $3H_2$ e C_2H_2 são mais efetivos, até foi descrito um resultado melhor utilizando o gás de Hidrogênio puro.

Se o grafite puro do ânodo for substituído por uma haste de grafite contendo cristais de metal, e o cátodo mantivesse a haste de grafite pura, serão gerados os SWCNTs [28], [31]. Portanto é possível sintetizar por esse método CNTs, tanto MWCNT quanto SWCNT. Entretanto, devido aos SWCNTs necessitarem que a haste de grafite tenha alguns cristais de metal, é necessário um tratamento final para retirar as nanopartículas de metal que são criadas [18]. O processo de produção de SWCNT em larga escala usando descarga por arco foi iniciado por Journet[33]. Como reafirma [20], o processo utilizou o bimetálico $N_i - Y$ como catalizador dentro da haste de grafite e gás He dentro da câmara. Mais tarde, foram investigados vários outros tipos de metais como N_i , C_o , F_e , P_t , P_d e várias combinações entre eles e a que obteve o maior rendimento foi a liga $N_i - C_o$. Posteriormente, observou-se que os SWCNT não são formados em sua maioria no cátodo como os MWCNT, os SWCNT são espalhados pela câmara, então, conclui-se que se fosse utilizado uma descarga AC ao invés de DC, ambos os eletrodos seriam evaporados, produzindo maior quantidade de SWCNT [34]. Não obstante, apesar dos poréns do método, a temperatura de crescimento do método de descarga de arco é maior do que a utilizada em outros métodos de produção CNT, o que acarreta uma cristalinidade e perfeição elevada [20].

3.3.3 Deposição por Vapor Químico (CVD)

CVD é um outro método de produção bastante comum, onde um vapor de hidrocarboneto é decomposto de forma térmica na presença de um metal catalisador. O método também é conhecido como CVD catalítico ou térmico, para se diferenciar de outros métodos que carregam o nome de CVD, mas para outros propósitos [28]. Em comparação com os métodos já citados, o CVD é simples e econômico para síntese de CNTs em baixa temperatura e pressão ambiente, porém, isso implica em um certo trade-off com a cristalinidade.

O método é versátil por aceitar que os hidrocarbonetos estejam em qualquer estado físico (líquido, sólido ou vapor), permite o uso de diversos substratos, também permite que a matéria do CNT seja distribuída em de diversas formas, como pólvora, filmes finos ou grossos, alinhado ou retangular, reto ou enrolado, e na arquitetura desejada para os nanotubos em um substrato estampado. Ademais, O CVD oferece melhor controle nos parâmetros de crescimento do CNT, tanto que é utilizado na produção de fibras e filamentos de carbono desde 1959. Os CNTs foram primeiramente produzidos através de pirólise do benzeno em altas temperaturas com nanopartículas de Fe como catalisadores [35]. Algum tempo depois, também foi utilizado Etileno, Metano e outros hidrocarbonetos para produção de MWNTs. Os SWCNTs podiam ser produzidos por etileno, benzeno, acetileno e metano [28]. De forma a elucidar como era feito o CVD, observa-se a Figura 20.

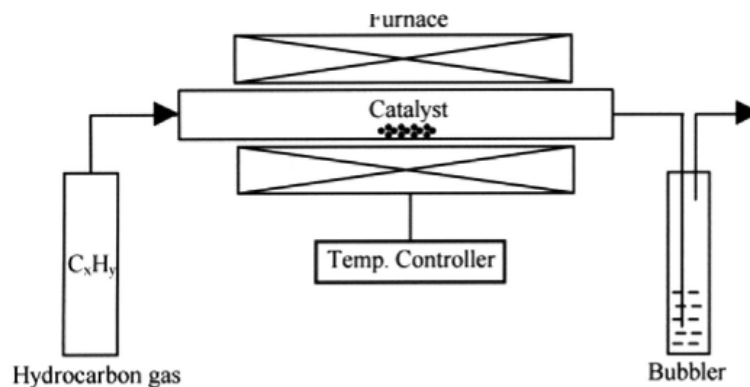


Figura 20 – CVD Setup
[28]

O processo envolve passar o vapor de hidrocarboneto por um forno em formato de tubo, no qual o material catalisador está a uma temperatura alta de 600 – 1200C para decompor o hidrocarboneto. O crescimento do CNT pelo catalisador ocorre, e então, é coletado após o refrigeração do sistema para a temperatura ambiente. No caso de hidrocarbonetos líquidos, ocorre aquecimento do mesmo em um frasco, e um gás inerte é colocado através do mesmo para carregar o vapor até o forno onde ocorre a reação. Já no caso do hidrocarboneto sólido, a vaporização ocorre em um forno de baixas temperaturas

antes de realocar para o forno de altas temperaturas. O material catalisador também pode estar em qualquer estado.

A formação dos SWCNTs e MWCNTs são regidas pelo tamanho da partícula catalizadora. A priori, quando a interação substrato-catalisador é forte, o CNT cresce enraizado na base da partícula catalizadora. Entretanto, quando a interação é fraca, a partícula é levantada pelo CNT em crescimento e continua a promover o crescimento em seu topo [28]. É possível ver o modelo de crescimento na Figura 21.

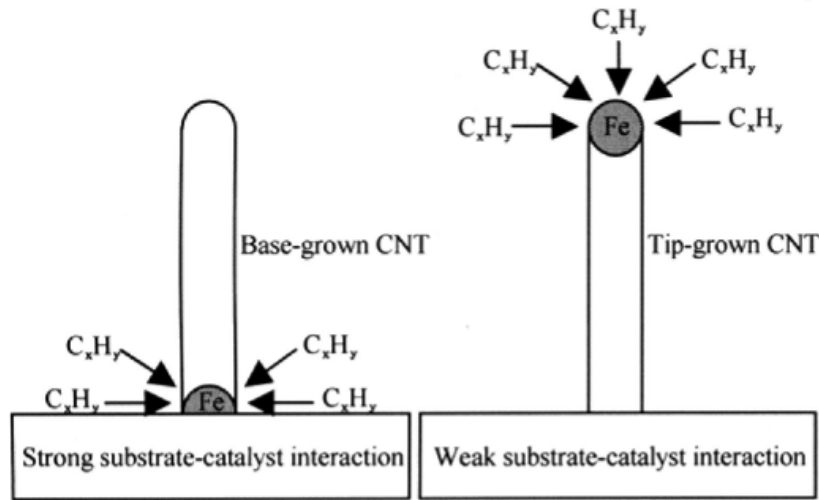


Figura 21 – Modelos de Crescimento por CVD [28]

3.4 Propriedades dos CNT

3.4.1 Propriedades Mecânicas

Os CNTs possuem estruturas extremamente rígidas em sua constituição, seu módulo de Young, que se refere a elasticidade do material, possui ordem de 1 TPa, o aço tem 210 GPa. Tais resultados podem ser obtidos tanto por microscópios eletrônicos, quanto por microscópio de força atômica [20]. Tais estruturas podem ser dobrada em grandes ângulos sem sofrer rompimentos graves estruturais. O módulo de Young é dado por:

$$E = \frac{\sigma}{\epsilon} = \frac{F.L_0}{A.L.\varrho} \quad (3.8)$$

Trata-se F como a força do material aplicada no sentido normal à área A do corpo, L_0 é o comprimento inicial do material e F é a força aplicada perpendicularmente à seção transversal de área A . $\varrho L = L - L_0$ é a variação do comprimento do material em função da aplicação da força, σ é a pressão aplicada sobre a área A , e ϱ é a porcentagem de deslocamento causado pela força F . O módulo de Young não varia muito de acordo

com a quiralidade do CNT, a variação maior ocorre em relação ao diâmetro da estrutura [18]. Conclui-se que, quanto maior o diâmetro do nanotubo, mais ele se aproxima das propriedades do grafite.

Moroguma [20], reafirma que, como a quiralidade não afeta tanto o módulo de Young, é possível determinar a constante de Hooke axial ka em relação ao diâmetro dt , em função dos parâmetros m e n :

$$E = \frac{Eha}{Lo} \cdot \sqrt{m^2 + n^2 + mn} \quad (3.9)$$

Como dito anteriormente, $a = 2,49 \text{ \AA}$, h é a espessura do nanotubo, considerada como sendo a espessura da rede cristalina do grafeno $3,34 \text{ \AA}$.

3.4.2 Propriedade elétricas

A densidade de estados por unidade de comprimento pelo eixo do nanotubo é uma constante dada por valor zero em nanotubos semicondutores, mas que em nanotubos metálicos, segue a forma:

$$N(Ef) = \frac{8}{\sqrt{3} \cdot \pi \cdot a \cdot |t|} \quad (3.10)$$

$|t|$ é a ligação C-C mais próxima ligada ao overlap de energia [18]. Isso para todos os nanotubos metálicos, independentemente de seu diâmetro ou quiralidade.

Outra característica pertinente dos nanotubos semicondutores é a diferença de energia (energy gap), descrito por :

$$Eg = \frac{a_{c-c} |t|}{dt} \quad (3.11)$$

Como é possível observar, o energy gap depende do diâmetro do nanotubo dt , independe do ângulo de quiralidade do nanotubo semicondutor, a_{c-c} é a distância da ligação $C - C$ na vizinhança da folha de grafeno. De acordo com [18], $|t|$ equivale a 3.3 eV , encontrado por simulações. Entretanto, é possível utilizar o valor encontrado pela densidade de estados.

A tensão de threshold do CNTFET, V_{th} , é dado por:

$$V_{th} \approx \frac{E_g}{2e} \approx \frac{\sqrt{3} a E_\pi}{3 e dt} \quad (3.12)$$

Na equação, E_g é o intervalo de banda, E_π equivale a 3.033 eV e é a energia da ligação $\pi - \pi$ do carbono, e é a carga de um elétron e dt é o diâmetro do nanotubo [36].

Considerando o fato de os nanotubos de carbono possuírem uma dinâmica de transporte de cargas regida pela mecânica quântica, apresentando transporte de elétrons por até 1 m segundo [18]. A condutância em um nanotubo de carbono pode ser vista pela equação:

$$D = \frac{2e^2}{h} \sum_i^N T_i \quad (3.13)$$

A equação 3.13 é chamada de fórmula de Laudener para condutores unidimensionais, em que $\frac{2e^2}{h}$ é a unidade quântica de condutância, G_0 que é aproximadamente 0.0772 mS e T_i é a transmissão no canal condutor.

Outra propriedade elétrica considerada importante é o caminho livre médio, que é a distância média entre duas colisões sucessivas entre partículas. Não obstante, [18] faz uso do caminho livre médio para descrever a probabilidade de espelhamento da condução do elétron. Logo, percebeu-se que o espalhamento ocorre de acordo com potências irregulares, impurezas e espalhamento inelástico devido aos phonons (fônons), contribuírem para o caminho médio livre em um nanotubo de carbono seguindo a relação:

$$\frac{1}{\lambda_{eff}} = \frac{1}{\lambda_{ac}} + \frac{1}{\lambda_{el}} + \frac{1}{\lambda_{op}} \quad (3.14)$$

Considera-se λ_{eff} o caminho médio efetivo, λ_{el} o caminho médio devido ao espalhamento elástico, λ_{ac} para o espalhamento causados pelos fônons acústicos e λ_{op} para ótico. Devido ao retroespalhamento nanotubo, o espalhamento elástico é extremamente reduzido para λ_{el} igual ou maior 1 μm , já os fônons acústicos influenciam pouco para λ_{ac} de aproximadamente 1 m, demonstrando que os nanotubos metálicos transportam elétrons sem espalhamento para distâncias maiores ou iguais a 1 μm [18]. Os fônons óticos se espalham de forma eficiente, caso a energia de condução seja maior que a energia dos próprios fônons (equivalente a 180 meV, para λ_{op} entre 200 nm e 300 nm). Nos nanotubos semicondutores λ_{eff} é de algumas centenas de nanômetros para baixas energias, com baixo espalhamento aliado com a condutividade térmica e suas ligações químicas, os nanotubos de carbono possuem altas densidades de corrente.

3.4.3 Propriedades Térmicas

Tendo em vista que o diamante e o grafite apresentam alta condutividade térmica, estudos foram realizados para checar se os nanotubos também exibem alta condutividade [37], o que de fato complementa fortemente suas propriedades elétricas e mecânicas. A conclusão foi de que a condutividade dos nanotubos são úteis em diversas aplicações de gerenciamento térmico, como dissipar calor em processadores de silício, aumentar a condutividade de plásticos em áreas de alojamento para motores elétricos. Além disso, as

propriedade térmicas dos CNT são dominadas pelos fônons, que é uma quase-partícula que designa um quantum de vibração em um retículo cristalino rígido. O calor específico medido dos SWCNTS no estudo realizado por [37], mostra que os cálculos realizados baseados na teoria das bandas do fônem em estruturas isoladas dos nanotubos batem com os resultados experimentais, e mostra evidência de quantização em 1-D da teoria das bandas do fônem, que explica como ocorre a condução térmica. Também, o acoplamento em nanotubos não é muito eficiente em relação as propriedades térmicas, a Figura 23 adiante demonstra essa conclusão.

A condutividade térmica K é uma característica tensorial, porém, o interesse se encontra nas diagonais, e por isso o cálculo pode ser realizado com:

$$K_{zz} = \sum C v_z^2 \tau \quad (3.15)$$

C é tratado como o calor específico, v_z e τ são a velocidade ($v = \partial w / \partial k$) e o tempo de relaxamento de um fônem. Em um canal eletrônico balístico 1 - D, a condutância eletrônica é descrita por:

$$G_o = \frac{2e^2}{h} \quad (3.16)$$

Em um mesmo canal, a condutância térmica é descrita por:

$$G_{th} = \frac{\pi^2 k_b^2 T}{3h} \quad (3.17)$$

De acordo com [37], é importante subtrair a contribuição eletrônica para se obter a condutividade correta. Os resultados obtidos para a condutividade térmica do SWCNT isolado foi de $37000 \frac{W}{m} K$ em 100K, e então diminui com acréscimo da temperatura. O que é comparável com um diamante puro isotrópico em 104K com uma condutividade maior em apenas $4000 \frac{W}{m} K$. Observa-se os resultados em (Fig. 22).

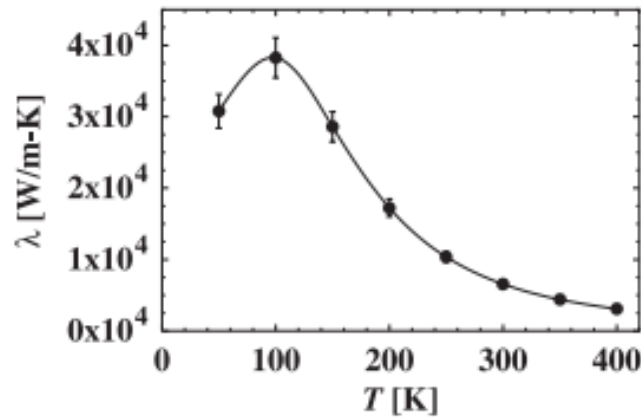


Figura 22 – Condutividade Térmica SWCNT isolado [37]

Como Hone [37] explica, o $K(T)$ em uma amostra de SWCNTs alinhados por filtração em um campo magnético tem seu pico em 300K, porém, é difícil dizer a condutividade de um único tubo, com os resultados obtidos graficamente na Figura 23.

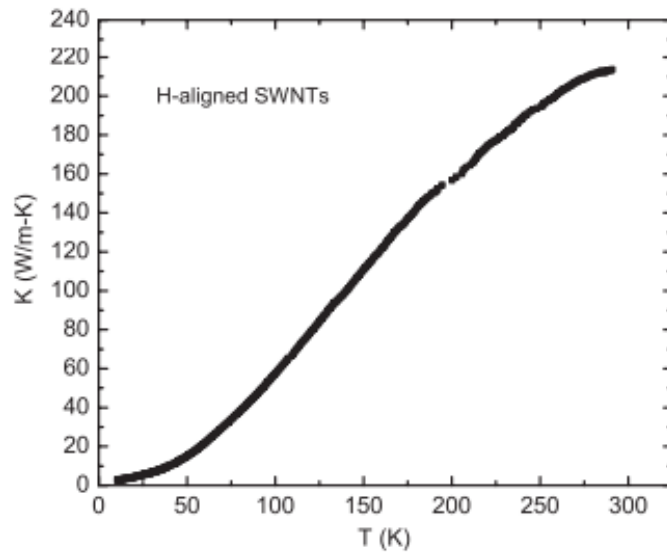


Figura 23 – Condutividade Térmica SWCNTs alinhados [38]

3.5 Estado da Arte

O estado da arte é o estágio mais alto de desenvolvimento, seja de um aparelho, de uma técnica ou de uma área científica, alcançado em um tempo definido. Os CNT têm se desenvolvido ao longo dos últimos anos, e tem sido utilizados em diversas áreas, são fabricados seguindo diversos métodos, apresentados anteriormente, e cada método possui trade-offs, suas vantagens e desvantagens, pode-se assim dizer. Independentemente

do método adotado para produção dos nanotubos, é importante mirar na maior pureza possível a ser obtida.

Os CNTs podem ser cultivados diretamente em “wafers” usando CVD e um material catalisador adequado. O resultado do crescimento em termos de quiralidade, densidade e alinhamento do tubo depende não apenas das condições de crescimento, mas também do substrato selecionado. No quartzo, CNTs com densidade de até $15/\mu\text{m}$ e uma relação $s : m$ de até $19 : 1$ (95% de nanotubos metálicos) já foram alcançados [39] [40].

A dispersão de CNTs comercialmente disponíveis a partir de uma solução em “wafers” também é realizada com certa frequência. Os CNTs na solução podem ser purificados em até 99% de tubos semicondutores por ultracentrifugação (UCF), e os nanotubos podem ser alinhados por uma diferença de potencial aplicada nos terminais de fonte e dreno [39]. Uma das maiores desvantagens desse método é limitação do tamanho do wafer, sendo que a aplicação da DEP exige a deposição de vários componentes em paralelo em um único wafer, somando também mais passos de processo para remover essas conexões posteriormente. Outro problema é o tamanho dos nanotubos serem extremamente pequenos, em torno de $1 \mu\text{m}$, dificultando a fabricação de dispositivos com configuração multi-dedo [20] [41]. A aplicação de procedimentos especiais de classificação permite alcançar uma alta pureza de tubos semicondutores de até 99,9%, bem como quiralidade e até mesmo a seleção de comprimento.

Khalid [42] fornece, em seu estudo, uma tabela onde é possível ver a pureza dos nanotubos de carbono disponíveis comercialmente e suas respectivas empresas responsáveis pela fabricação. A monografia submetida a graduação de Azevedo [40], faz uma adaptação e tradução dessa mesma tabela de Khalid em (Tab. 2)

Tabela 2 – Pureza na Fabricação de Nanotubos

Tipos de Nanotubo	Grau de Pureza	Empresa
Metálico/Semicondutor	99%	NanoIntegris Inc
SWCNT/MWCNT	95%	NanoLab
SWCNT Purificado	97%	Nano-C
SWCNT/MWCNT	90 – 95%	Helix Material Solutions
SWCNT/MWCNT	95%	Nanostructured Amorphous Materials
SWCNT/MWCNT	90 – 95%	SkySpring Nano-materials
SWCNT/MWCNT	80 – 90%	Arry International GmbH
SWCNT/MWCNT	90 – 98%	SouthWest Nano-Technologies
MWCNT	80 – 90%	Xintek
MWCNT	93%	Nanocarbon Sales
SWCNT/MWCNT	80 – 90%	Nanoshel
SWCNT	80%	Carbon Solutions
SWCNT/MWCNT	90 – 95%	SES Research
SWCNT/MWCNT	90 – 95%	Cheap Tubes
SWCNT/MWCNT	90 – 95%	Sun Innovations
MWCNT	93%	Fibermax Composites
SWCNT/MWCNT	90 – 97%	Feibo Chemical Technology
SWCNT/MWCNT	90 – 95%	Times Nano

3.6 CCAM

De forma a auxiliar no projeto de circuitos baseados em tecnologia CNTFET e promover um melhor entendimento da tecnologia, que por si só tem diversos fatores que corroboram em seu funcionamento e alteração em cálculos de nível extremamente avançado, um modelo circuito equivalente é necessário. O modelo semi-físico que realiza esse papel é o CCAM, para simular o comportamento do transistor efeito de campo de nanotubos de carbono, aplicável a sistemas digitais, analógicos e de alta frequência [9]. Sendo escrito em Verilog-A, fazendo com que seja utilizável em simuladores de circuitos elétricos. Tal modelo descreve com acurácia a forma das curvas características DC e de pequenos sinais de CNTFETs fabricados, além de permitir, para um dado comprimento de gate, o escalonamento da geometria de um transistor com um único dedo do gate e um único nanotubo até um transistor com múltiplos dedos do gate e múltiplos nanotubos. Outras

características incluem capacitâncias parasitas, transporte ambipolar, comportamento dinâmico e modelagem de armadilhas de carga. Este modelo mostra grandes semelhanças entre os dados tanto da equação de transporte de Boltzmann quanto de medidas em CNT-FETs de barreira Schottky. As características do CNTFET permitem uma performance superior sob operações em alta frequência, tendo a maior transcondutância com uma capacitância de canal relativamente baixa na tecnologia FET. [9]. Para se obter melhores desempenhos com os circuitos compostos por CNTFET, necessita-se obter uma maior taxa semiconductor-metal (s/m) e uma maior densidade de nanotubos de carbono através do CNTFET. Estas características entregam uma melhor aplicação e desempenho em sistemas de alta frequência, com seu requerimento típico de impedância de 50Ω para que haja casamento. O modelo é referenciado pela Figura 24.

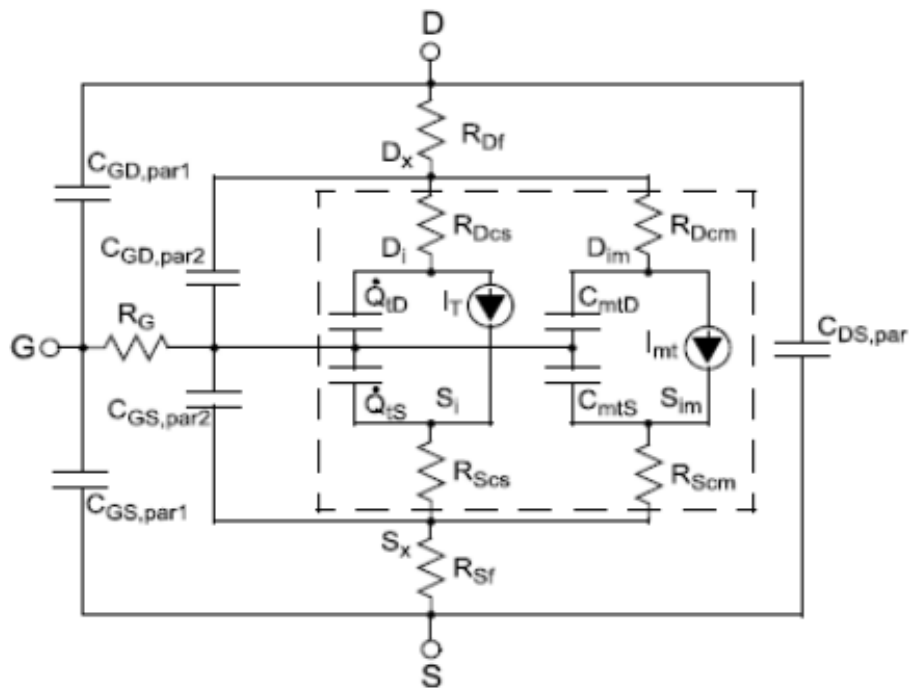


Figura 24 – Modelo CCAM equivalente [43]

Como os nanotubos semicondutores e metálicos têm diferentes comportamentos eletrônicos, possuem diferentes representações também. A parte central do circuito, que envolve o I_t , é a modelada por nanotubos semicondutores. Enquanto que a parte da direita do circuito, que envolve I_{mt} , modela os nanotubos metálicos. Com o objetivo de se utilizar o modelo eficientemente, faz-se necessária a sua calibração com resultados de medidas obtidas a partir de dispositivos fabricados, medidos e caracterizados. De tal forma que se atribui valores para os parâmetros elétricos do modelo. A ideia por trás é que parâmetros de calibração do modelo podem ser extrapolados para novos valores, seguindo as equações de funcionamento do CTNFET através de parâmetros físicos do mesmo. Ainda, sua tese mostra que com a calibração correta do modelo, o mesmo pode ser utilizado em diversas

simulações de aplicações, possibilitando assim o desenvolvendo de projetos baseados em CNTFET antes mesmo de sua fabricação em larga escala.

Não obstante, o modelo CCAM é composto por cinquenta variáveis e um conjunto de expressões que relacionam todas elas. Elas são agrupadas por seis grupos de que são: parâmetros DC para semicondutores, parâmetros para nanotubos metálicos, parâmetros para modelo de ruído, parâmetros para modelo de captura e parâmetros externos [43].

De forma a trabalhar com o CCAM, utiliza-se o CNTFET-Workflow, desenvolvido por Pimenta [9] através do GNU Octave. O algoritmo permite converter parâmetros físicos em parâmetros elétricos por meio de métodos numéricos de acordo com a simulação escolhida. A definição do método de simulação é abrangente, já que as opções possíveis são a distribuição uniforme, o método de Monte Carlo e a transformada da incerteza. Ainda, os múltiplos parâmetros físicos de múltiplos CNTFETs podem ser variados, praticamente não havendo limite para este número. Porém, de acordo com [9], dependendo do método de simulação, pode-se acarretar um número excessivo de passos a serem realizados durante a simulação. Como o número de passos varia de acordo com cada método, o mesmo deve ser calculado para cada simulação. O método torna possível a utilização do CCAM com a ideia de facilitar e automatizar as simulações de circuitos elétricos. O Workflow permite a simulação de transistores do tipo n e do tipo p.

Alguns dos parâmetros que podem ser alterados por este algoritmo são: largura de porta, largura de canal, porcentagem de nanotubos metálicos, número de dedos, densidade de nanotubos, Gap entre os conectores de fonte/dreno e o de porta. [40]

De forma a elucidar a utilização do CNTFET-Workflow, segue o fluxograma da Figura 25, elaborado por Pimenta [9]. Sendo que nesse projeto, utiliza-se o algoritmo de escalonamento linear, apenas para modificar parâmetros físicos dos CNTFETs, por exemplo, na variação de nanotubos metálicos presentes, convertendo-os em parâmetros elétricos para utilização em Verilog-A.

Como todos os aspectos do CNTFET e do CNT foram tratados, é possível seguir o estudo da teoria dos Mixers e demais blocos que estão presentes no transceptor, detalhando todo o funcionamento do conjunto e suas figuras de mérito.

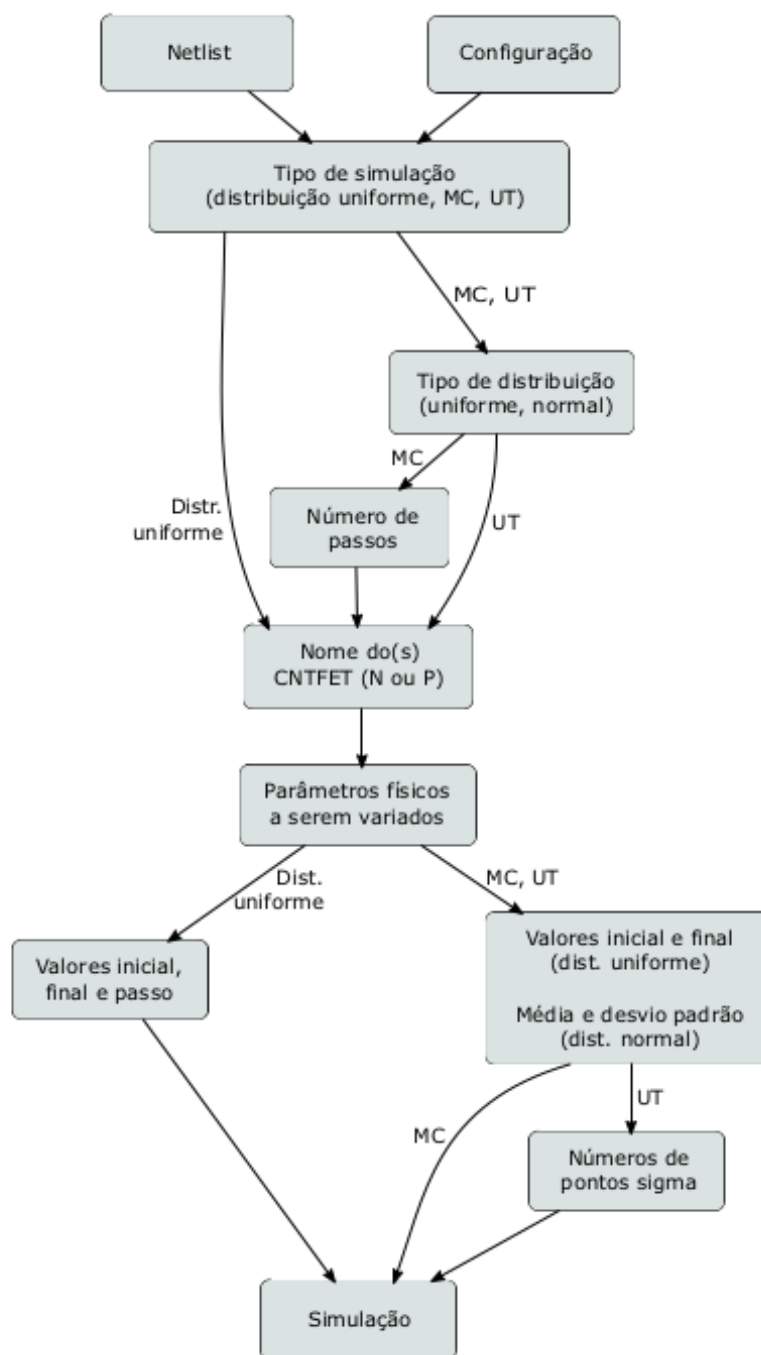


Figura 25 – Fluxograma CNTFET-Workflow no Cmap-Tools
[9]

4 Mixers

O propósito de um mixer é converter um sinal de uma frequência para outra frequência desejada. Em um transmissor, o mixer leva a frequência banda-base para a frequência RF, de forma que o transmissor realiza a modulação do sinal. Enquanto no receptor, o mixer realiza a tarefa contrária de levar o sinal com frequência RF para a frequência banda-base, para que então o receptor, como um todo, possa reconstruir o sinal em banda-base. Entretanto, antes de falar das arquiteturas dos mixers e do desenvolvimento matemático para projetos, é importante falar da arquitetura dos transceptores de Rádio Frequência.

4.1 Transceptores

Os desafios encontrados no projeto de circuitos RF e transceptores, em geral, habitam na necessidade de amplo conhecimento sobre alguns campos que acabam sendo interligados pelo processo de design desses circuitos, como mostra a Figura 26.

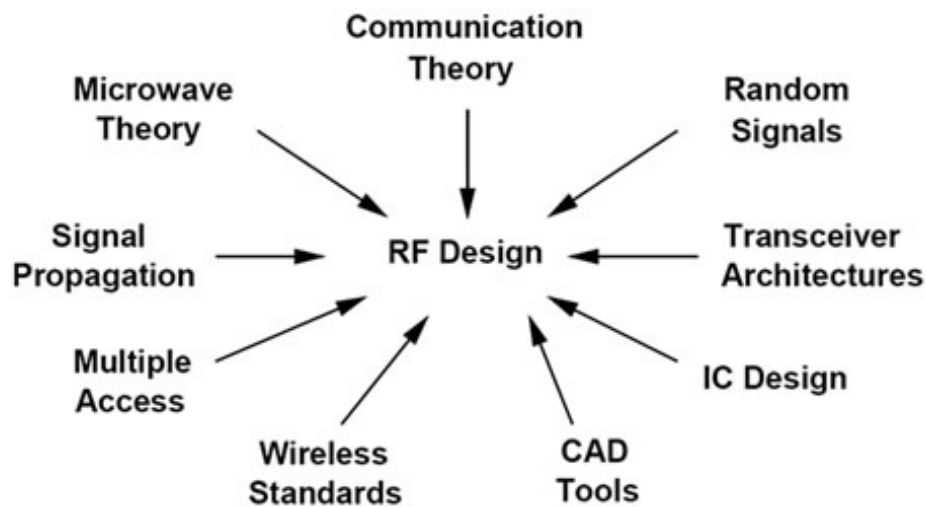


Figura 26 – Amplo Conhecimento RF
[44]

Também, ao realizar um projeto de RF, necessita-se lidar com diversos trade-offs em ganho, potência, linearidade, frequência, ruído e alimentação. Explicitados pelo hexágono na Figura 27.

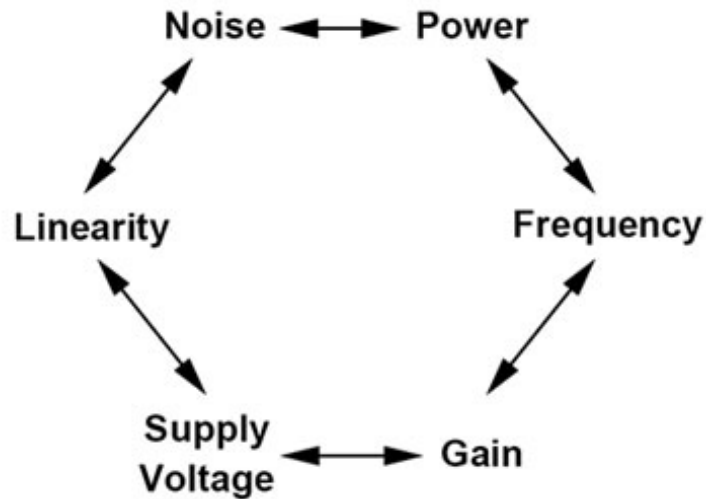


Figura 27 – Hexágono RF
[44]

O transceptor é um único dispositivo que pode transmitir e receber uma informação em rádio frequência, podendo ser half-duplex ou full-duplex. Na arquitetura half-duplex, o transceptor ou só recebe ou só transmite dados. Já na full-duplex, a transmissão do sinal funciona de forma circular, o transceptor pode transmitir e receber informações ao mesmo tempo. Observa-se um modelo de transceptor na Figura 28, similar ao modelo apresentado por Razavi [44].

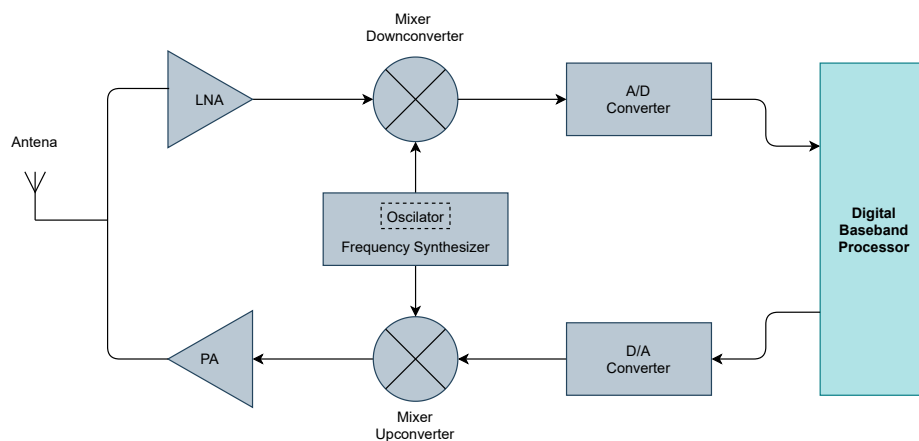


Figura 28 – Transceptor RF

Observa-se a constituição do bloco transmissor por um conversor DAC, onde o sinal de processamento digital em banda-base foi convertido em sinal analógico e entra em um

mixer Upconverter, que é responsável por modular o sinal em banda-base, quando o mesmo entra pela porta IF (Frequência Intermediária) do mixer. O sinal sai pela porta RF (Rádio Frequência) e entra no PA (amplificador de potência), de forma a elevar a potência do sinal em níveis suficientes para transmissão e com bom rendimento energético pela antena, considerando que o sinal sofrerá perdas pelo meio (ar). Normalmente, é comum a adição de um filtro passa-baixas logo após o DAC na arquitetura da Figura 28.

Analogamente ao bloco transmissor, o bloco receptor tem que ser constituído por blocos que irão realizar a tarefa de reconstrução do sinal de RF recebido pela antena. O receptor, então, é composto por um bloco LNA (Amplificador de baixo ruído), que amplifica o sinal recebido com o objetivo de evitar que os ruídos inerentes dos circuitos posteriores alterem o conteúdo da mensagem recebida introduzindo o menor ruído possível ao sinal de entrada durante essa amplificação. Logo, é imprescindível que introduza uma baixa figura de ruído (NF). De acordo com [44], a escolha do ganho do LNA deve ser realizada levando em consideração a relação existente entre a figura de ruído e a linearidade do receptor, quanto menor for o ganho proporcionado pelo LNA, maior será a linearidade dos estágios subsequentes do receptor. Justamente o que o hexágono do RF, na Figura 26, mostra. Esse é um dos trade-offs possíveis da qual é necessário atenção em aspectos de projeto. Em seguida, o sinal entra pela porta RF do mixer Downconversion, que faz com que o sinal seja convertido e saia do mixer pela porta IF com frequência banda-base. Concordando com [1], em uma análise mais profunda, é encontrado um filtro passa-baixas, que elimina sinais espúrios e harmônicos gerados, após o mixer, e um PGA (amplificador de ganho programável) entre o mixer e o conversor ADC.

Um fator importante no projeto de um transceptor é o casamento de impedâncias entre os diferentes blocos designados. Já que impedâncias diferentes levam à reflexão do sinal e sua perda. Considerando um circuito complexo de RF, contendo diversos componentes passivos e circuitos integrados, o projeto seria de difícil proceder caso os engenheiros tivessem que modificar cada componente e especificar as dimensões de cada linha para conseguir a impedância escolhida como base por todos os outros. Por isso, em RF, a impedância padrão utilizada para garantir que componentes e cabos são designados da forma correta é 50Ω . Inclusive, as antenas receptoras e transmissoras de RF são projetada para ter uma impedância de saída padrão de 50Ω . Logo, os estágios precedentes ou subsequentes devem fazer um casamento correto de impedância com a antena a fim de evitar alguma significativa reflexão ou perda de sinais.

Ainda, os diferentes divisores de frequência são parte do sintetizador de frequência, que é um componente essencial para os transceptores. Internamente no sintetizador, o VCO e o divisor operam na mesma frequência do oscilador local, que é a frequência mais alta no loop do sintetizador. Portanto, ambos podem dissipar potência em ordens de magnitude maiores que o restante dos blocos normalmente dissipam. É possível ver uma

arquitetura bem comum para o sintetizador na Figura 29.

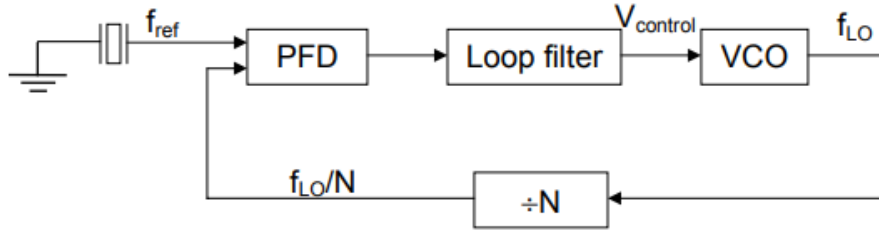


Figura 29 – Loop do Sintetizador
[45]

4.2 Teoria de Misturadores de Frequência

O misturador de frequência é um circuito eletrônico com três portas. Duas das portas são entrada e saída. A terceira porta é conhecida como LO (Local Oscillator) e, normalmente, é utilizada como entrada. O mixer ideal mistura dois sinais de entrada tal que o sinal de saída é a soma ou a diferença das frequências de entrada, seguindo a equação:

$$w_{out} = w_{in1} \pm w_{in2} \quad (4.1)$$

A porta LO é tipicamente conduzida por um sinal de onda senoidal continua ou um sinal de onda quadrada. A escolha desse sinal depende da aplicação do mixer. Conceitualmente, o sinal LO age como um "gate" do mixer no sentido de que o mixer é considerado ligado, em "on", quando LO é uma voltagem alta. Considera-se em "off", quando a voltagem LO é baixa [46].

As outras portas de entrada e saída, como mencionadas na seção de transceptores, são chamadas de IF ou RF, podem ser intercaladas como segunda entrada ou saída do mixer, a configuração depende da aplicação. Quando a saída desejada tem frequência menor que a frequência da segunda entrada, o processo é chamado de downconversion. Nesse processo, a entrada é RF, e a saída é IF. Caso contrário, o processo é chamado de upconversion. A relação entre as frequências de entrada e saída é dada por:

$$w_{if} = |w_{lo} - w_{rf}| \quad (4.2)$$

O domínio em frequência do downconversion e upconversion é representado na Figura 30.

Os mixers devem ser não lineares ou variantes no tempo para produzir a translação de frequências, isso devido ao fato de que sistemas lineares e não variantes no tempo não

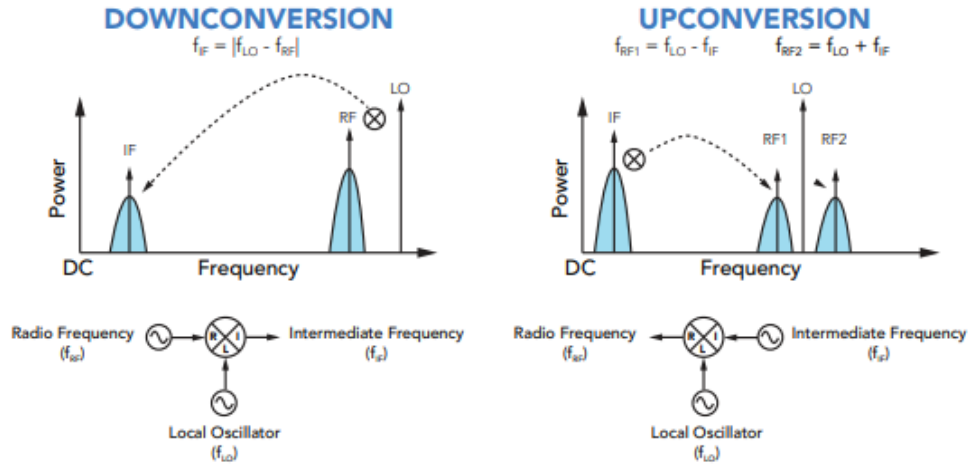


Figura 30 – Domínio em Freq. dos Mixers
[46]

podem produzir saídas com componentes espectrais sem estarem presentes na entrada. Essa translação é feita devido a multiplicação entre uma portadora e um sinal de entrada no domínio do tempo, descrita pela equação:

$$y(t) = A \cos(w_1 t) \cdot B \cos(w_2 t) = \frac{AB}{2} [\cos((w_1 - w_2)t) + \cos((w_1 + w_2)t)] \quad (4.3)$$

Tal resultado em relação a translação de frequências pode ser obtido de duas formas. Primeiramente, sabe-se que:

$$\cos(w_1 t + w_2 t) = \cos(w_1 t) \cos(w_2 t) - \sin(w_1 t) \sin(w_2 t) \quad (4.4)$$

$$\cos(w_1 t - w_2 t) = \cos(w_1 t) \cos(w_2 t) + \sin(w_1 t) \sin(w_2 t) \quad (4.5)$$

Somando as equações, obtém-se

$$\cos(w_1 t) \cos(w_2 t) = \frac{\cos(w_1 + w_2)t + \cos(w_1 - w_2)t}{2} \quad (4.6)$$

Além disso, a outra possibilidade de se chegar a mesma conclusão, é através do desenvolvimento pela seguinte relação:

$$\cos(wt) = \frac{e^{jw t} + e^{-jw t}}{2} \quad (4.7)$$

Utiliza-se dos teoremas de sinais e princípios de comunicação para desenvolver a relação no domínio da frequência e checar o comportamento do mixer de forma mais aprofundada. Não é algo complexo de se fazer, deixando a equação toda em função, apenas,

de exponenciais complexas. Então, aplica-se Fourier para realizar a transição de domínios, o "1" é uma função impulso, a exponencial complexa no tempo multiplicada aponta uma translação em frequência.

O resultado, $y(t)$, mostra que a multiplicação dos sinais de entrada resulta em um sinal de saída que representa a soma e a diferença das frequências de entrada, como dito anteriormente, e que possui amplitude proporcional ao produto das amplitudes nas portas RF e LO. Também, entende-se que todo sistema linear e invariante no tempo possui, na saída, um sinal que tem a mesma frequência do sinal de entrada. Portanto, pelo fato de o mixer realizar essa operação e apresentar, em sua saída, frequências diferentes da entrada, o mesmo é classificado como não-linear, essa não-linearidade caracteriza sua função modulante. Explicando, dessa forma, o motivo de um mixer poder ser construído a partir de qualquer componente não-linear [47].

4.3 Parâmetros Principais

Ao se projetar um misturador de frequências, é necessário seguir criteriosamente algumas especificações padrões, denominadas de figuras de mérito. Esses parâmetros são responsáveis por indicar o desempenho final do misturador.

4.3.1 Ganho de Conversão

O ganho de conversão (ou perda), é o parâmetro que define a taxa do valor desejado na saída em relação ao valor na porta de entrada. No caso do Downconversion, é a taxa na porta RF (entrada) em relação a IF (saída). Já no Upconversion, é ao contrário. Pela equação 4.3, o ganho seria dado pela divisão de $\frac{AB}{2}$, amplitude de IF, por A, que é a amplitude do sinal RF. Logo, o ganho é $B/2$ [47].

Para Razavi [44], o ganho de conversão em dB é:

$$Ganho(dB) = 10 \log\left(\frac{V_{outRMS}}{V_{inRMS}}\right) \quad (4.8)$$

De acordo com [47], o ganho de conversão também pode ser dado em termos de potência, que seria a razão da potência do sinal de saída com a potência do sinal de entrada. Contudo, em projetos modernos de rádio frequência é preferível empregar medidas em tensão porque as impedâncias de entrada são geralmente imaginárias, fazendo com que o uso de medidas em potência se torne mais difíceis e desnecessárias.

4.3.2 Figura de Ruído (NF)

A figura de ruído (NF), nada mais é que fração entre o SNR (relação sinal-ruído) na porta de entrada e o SNR na porta saída. De acordo com [44], NF pode ser definido por:

$$NF(dB) = 10\log\left(\frac{SNR_{in}}{SNR_{out}}\right) \quad (4.9)$$

Seguindo o caso onde duas entradas de frequência geram uma frequência intermediária, sendo uma do sinal RF, e a outra é uma imagem do sinal (espelho), de acordo com [47], esses sinais são referidos como bandas laterais (sidebands). Essas frequências existem devido ao IF ser a resultante da diferença da magnitude de RF e LO. Então, sinais acima ou abaixo de w_{lo} por uma frequência w_{if} , produzem saídas IF de mesma frequência. Os 2 sinais ficam separados por $2w_{if}$. Basicamente, dois sinais com frequências RF espelhadas podem gerar um mesmo IF, dado um mesmo oscilador. A existência dessa imagem dificulta a computação do NF, pois o ruído originado da imagem e do sinal RF acabam se tornando ruído IF, e, geralmente, não há sinal desejado na frequência da imagem.

Quando o sinal existir em apenas uma frequência, a figura de ruído é a NF SSB (Single-Sided NF). Caso contrário, nos casos mais incomuns, onde o sinal RF principal e a imagem contém informações úteis, a figura de ruído é a NF DSB (Dual-Sided NF). Ainda, o NF é maior para o caso SSB, pois ambos possuem o mesmo NF em IF, mas na entrada RF SSB a potência fica concentrada em apenas uma banda. O caso DSB, a potência é dividida igualmente pro sinal RF e pra imagem. O NF SSB é maior por 3 dB. Quando o NF é dado sem nenhuma especificação de ser SSB ou DSB, considera-se que é DSB, pois o mesmo é reportado mais vezes por ser menor em termos numéricos e falsamente dá a impressão de que entrega uma performance melhor [47]. Os valores pro NF SSB variam normalmente entra 10 dB a 15 dB ou mais, ou seja, muito ruidoso. Sendo esse um dos motivos por se optar na utilização de um LNA seguindo o mixer no receptor. Dessa forma, se o LNA possuir ganho o suficiente, o sinal é amplificado para níveis bem acima do ruído do mixer e dos próximos estágios. O NF do receptor é dominado pelo LNA, não tanto pelo mixer em si, e estabelece o chão de o quão pequeno um sinal pode ser processado [47].

Em um circuito com vários estágios conectados em cascata, o NF pode ser calculado pela fórmula de Friis:

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} + \dots \quad (4.10)$$

$$NF = 10\log(F) \quad (4.11)$$

Onde F_n é a figura de ruído do estágio referenciado, e G é o ganho do estágio.

4.3.3 Linearidade e Isolamento

A faixa dinâmica é bem restrita nos sistemas de comunicação atuais, excedendo 80 dB e chegando perto de 100 dB. Os valores máximos são decididos de acordo com as não-linearidades dos sinais maiores. Um dos parâmetros que se olha para checar esse valor máximo é chamado de ponto de compressão. Deseja-se que amplitude de saída seja proporcional a amplitude de entrada do sinal. Considera-se que os mixers físicos reais tem um limite da qual a saída tem uma dependência com a entrada (linearidade), a partir desse limite a curva real se separa da curva ideal de linearidade (1 dB) onde a saída sempre seria proporcional de alguma forma com a entrada. Tal fato ocorre devido ao comportamento não-linear do misturador e os limites de tensão/corrente, que fazem com que o circuito sature [44]. O ponto em que a curva real começa a se afastar da curva da ideal de 1 dB é chamado de ponto de compressão de 1 dB. Esse ponto costuma ser representado no eixo da potência de entrada como IP_{1dB} e no eixo da potência de saída como OP_{1dB} , como elucidado pela Figura 31.

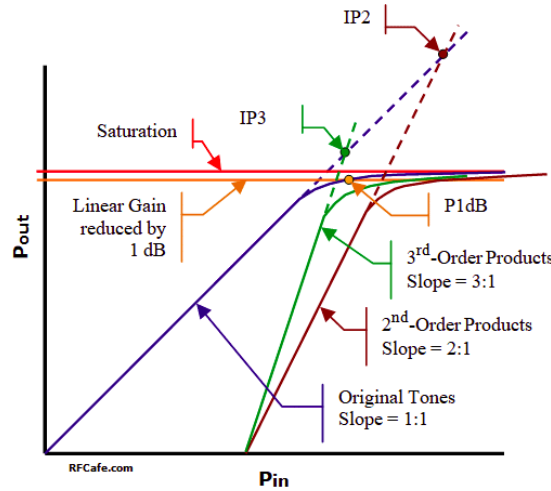


Figura 31 – Ponto de Compressão 1dB

A Figura 31 ainda traz referências a outros pontos importantes devido aos harmônicos que aparecem nos misturadores reais. A não-linearidade da saída de um misturador de acordo com uma entrada de sinal é descrita por [44]:

$$y(t) = a_0 + a_1x(t) + a_2x(t)^2 + a_3x(t)^3 + \dots \quad (4.12)$$

Para um $x(t)$ padrão igual a $\text{Acos}(wt)$, desenvolve-se a equação 4.12 para obter:

$$y(t) = \frac{a_2A^2}{2} + \left(a_1A + \frac{3a_3A^3}{4}\right) \cos(wt) + \frac{a_2A^2}{2} \cos(2wt) + \frac{3a_3A^3}{4} \cos(3wt) \quad (4.13)$$

O cálculo do P_{1dB} é dado por:

$$A_{p1db} = \sqrt{0.145 \frac{|a_3|}{|a_1|}} \quad (4.14)$$

Dada esses efeitos reais do mixer, ao aplicar na entrada do sistema não-linear dois sinais com amplitudes diferentes, como a amplitude do oscilador e o do sinal de interesse, haverá na saída deste sistema componentes que não são harmônicos das entradas. Este é o conceito denominado de intermodulação (IM). Critério importante que designa a linearidade do mixer e sua performance. Tal efeito, não gera apenas as frequências transladadas dos sinais de entrada, que inclusive podem ser filtradas quando indesejadas, mas também gera na saída do mixer componentes de frequências resultantes da intermodulação de terceira ordem. Essas frequências são $2w_1 \pm w_2$ e $2w_2 \pm w_1$. Observa-se os efeitos de intermodulação através da Figura 32.

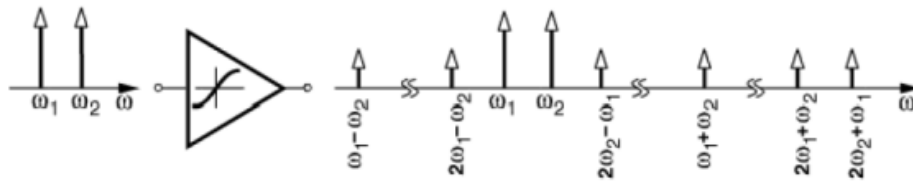


Figura 32 – Efeito de Intermodulação [44]

De forma a medir até que ponto se estende a linearidade do mixer, pode-se plotar a saída desejada e o termo IM de terceira ordem em função da entrada, como é feito na Figura 31. O ponto de interceptação entre as duas curvas é o ponto de interceptação de terceira ordem, o IP_3 , quanto maior for IP_3 , maior é a linearidade do mixer. Deve-se especificar caso referente a um IIP_3 (entrada) ou a um OIP_3 (saída). Se não houver atenção com o efeito IM de terceira-ordem, o sinal de saída desejado pode ter sua amplitude corrompida. Mesmo que não haja essa coincidência numérica que prejudique a amplitude, a intermodulação pode estar na mesma frequência que a banda passante do estágio subsequente, podendo degradar o SNR [47]. Portanto, a análise do IP_3 informa o quanto a intermodulação se torna significativa e degrada o sinal do sistema.

De acordo com Razavi [44], para determinar o IIP_3 , equaciona-se as amplitudes IM:

$$A_{IIP3} = \sqrt{\frac{4}{3} \frac{|a_1|}{|a_3|}} \quad (4.15)$$

Outro critério importante é o isolamento, que se trata da redução da interação entre as portas RF, IF e LO. Por exemplo, a potência do sinal na porta LO é maior comparada

com o sinal da porta RF, qualquer alimentação para a porta IF pode causar problemas para os estágios subsequentes referentes ao processamento do sinal. Esse problema é maior quando a frequência de LO e de IF são similares, então, é ineficaz a filtragem. Até a isolamento reversa é importante em diversas diretivas, já que o sinal LO, ou seus harmônicos, podem se direcionar para a antena, onde ocorreria irradiação do sinal, podendo causar interferências em outros dispositivos [47]. Nos MOSFETS, a passagem direta entre as portas dos misturadores ocorre devido ao acoplamento das capacitâncias gate-drain, gate-source e source-drain, como mostrado na Figura 33. Ainda, [44] menciona que a passagem direta de mixers upconversion são menos problemáticas.

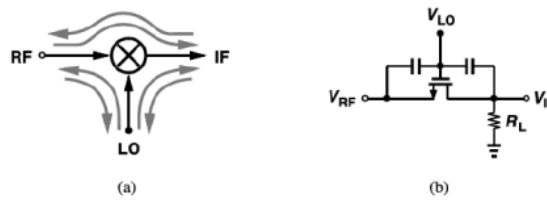


Figura 33 – a) Terminais de Passagem. b) Caminhos de Passagem [44]

4.3.4 Sinais Espúrios (Spurs)

Os mixers, devido a sua estrutura, podem processar sinais e criar componentes de frequências que, originalmente, não era pretendido. Por exemplo, o sinal de algum harmônico pode residir ou ser gerado dentro da banda passante do mixer em si e entrar em operação com o oscilador local. Devido a isso, alguns componentes podem acabar interferindo no sinal de saída. Tais sinais gerados na saída são chamados de respostas espúrias [47].

Se m e n são números inteiros que representam a quantidade de harmônicos da frequência na entrada (RF ou IF) e na porta do LO. A saída de sinais espúrios, considerando uma entrada RF, é, então, antes de qualquer filtragem:

$$f_{spur} = mf_{rf} + nf_{lo} \quad (4.16)$$

O cálculo não é tão trivial, devido ao fato de ter realizado para todas as combinações e sinais de m e n , até o número máximo de harmônicos considerados. Existem softwares que facilitam esses cálculos.

4.4 Topologias de Mixers

Como mencionado anteriormente, os mais diversos componentes não lineares podem atuar como misturadores de frequência. As chaves podem ser utilizadas para fazer um mixer, diodos também são utilizados, mas o mais comum é a utilização dos transistores bipolares TBJ ou os CMOS. Devido ao fato de o mixer ocupar a menor área possível no chip, o CMOS é necessário. Analogamente, o CNTFET também é um componente que tem as qualidades necessárias para compor um mixer de ótimo desempenho. Dependendo do ganho tido pelo misturador, ele pode ser classificado como ativo ou passivo. Moroguma [20] reafirma que os misturadores passivos operam com ganhos necessariamente menor que 0 dB, e também consomem pouca potência, além de apresentarem alta linearidade. Esse ganho menor que 0 dB se dá pelo fato do misturador passivo não possuir um estágio de amplificação, fazendo com que o sinal de entrada sempre seja atenuado. Os misturadores ativos apresentam necessariamente um ganho real de conversão maior que 0 dB, pois ao contrário dos passivos eles apresentam um estágio de amplificação. Tais misturadores tem certos problemas com linearidade, mas podem ser facilmente resolvidos com algumas mudanças estruturais.

O fato de a arquitetura possuir essa diferença entre ser passiva ou ativa, já dita algumas vantagens e desvantagens. Na arquitetura passiva de misturadores, têm-se a alta linearidade e a alta faixa dinâmica como vantagens, Porém, como desvantagens, verifica-se a perda de conversão, muito ruído e alta potência para LO. Enquanto isso, na arquitetura ativa de misturadores, encontram-se como vantagens, o ganho de conversão, baixo ruído, alto isolamento entre terminais, baixa potência para LO. Entretanto, a baixa linearidade deve ser solucionada como desvantagem [20].

Esta seção do trabalho dedica a explicar as topologias mais comuns historicamente. Obviamente, o tipo de projeto que irá dizer qual a estrutura mais adequada de acordo com os prós e contras, sendo que os misturadores possuem aplicações diversas, como downconverter, upconverter, modulador, detector de fase.

4.4.1 Mixer Desbalanceado

O mixer desbalanceado é mostrado na Figura 34.

A corrente de saturação em um CMOS é dada por:

$$i_d = \frac{uCox}{2} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (4.17)$$

Desenvolvendo, temos:

$$i_d = \frac{uCox}{2} \frac{W}{L} (V_{BIAS} [v_{rf} \cos(w_{rf}t) + v_{lo}(\cos(w_{lo}t))] - V_{th})^2 \quad (4.18)$$

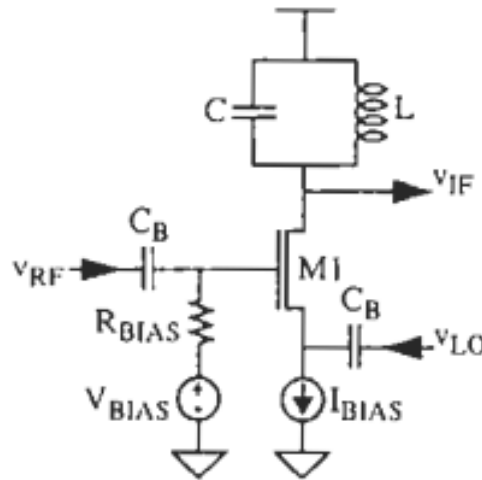


Figura 34 – Mixer Desbalanceado
[47]

E nesse caso, o ganho de conversão (que é o mesmo que a transcondutância) é:

$$G_c = \frac{uC_{ox}}{2} \frac{W}{L} v_{lo} \quad (4.19)$$

O ganho de conversão independe da corrente I_{bias} , ainda assim, depende da temperatura por variação da mobilidade e, também, da amplitude v_{lo} .

Um dos problemas desse misturador é o fato de o dispositivo em si ter apenas uma porta de entrada e ter que comportar dois sinais de entrada (RF e LO), como mostrado na Figura 34. Logo, os sinais acabam não ficando isolados como deveriam, o que pode resultar no sinal da porta LO voltando para a antena e ser irradiado causando interferências ou sobrecarga a amplificadores IF. Além de que não necessariamente deseja-se utilizar esse misturador como um multiplicador de frequências. Conclui-se que separando as portas de entrada do misturador em duas entradas (dois dispositivos), obtém-se uma isolamento maior entre as portas RF, LO e IF.

4.4.2 Mixers de Balanceamento Simples

As estruturas balanceadas costumam apresentar um bom isolamento. O contra do balanceamento reside na estrutura possuir um sinal diferencial na entrada do oscilador local (LO) [20]. Dessa forma, prejudicando certos projetos, pois alguns circuitos analógicos, como osciladores, não possuem saída diferencial.

O mixer de balanceamento simples é mostrado na Figura 35.

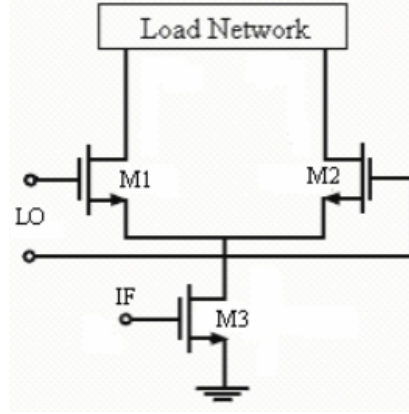


Figura 35 – Mixer Balanceamento Simples
[48]

O misturador consiste de um estágio de transcondutância em M3, estágio de chaveamento com M1 e M2, e um estágio de carga. O estágio de transcondutância realiza uma conversão tensão-corrente, pode ser adicionado uma degeneração de fonte para aumentar a linearidade. Os contras da estrutura residem, principalmente, a suscetibilidade ao ruído no sinal LO. O sinal LO pode passar diretamente para a saída, RF no caso, e para o sinal de entrada, IF no caso, tornando tais misturadores raros de serem encontrados em projetos complexos.

É possível ver que o mixer da Figura 35 é um upconverter, devido a entrada ser pela porta IF e LO, e a saída ser o sinal RF. Claramente, a topologia é ativa devido ao estágio em M3. Para obter a topologia passiva desse mixer, basta retirar o estágio de transcondutância.

De acordo com Lee [47], a corrente de saída é dada por:

$$i_{out}(t) = \text{sgn} \cos(w_{lot}) [I_{BIAS} + I_{rf} \cos(w_{rf}t)] \quad (4.20)$$

Com uma rápida análise de pequenos sinais no circuito analógico, é possível dizer que o ganho desse circuito é dado por:

$$A = \frac{2gm_1 R_{load}}{\pi} \quad (4.21)$$

Onde R_{load} é a resistência de carga que aparece entre o par diferencial e a bateria de suprimento.

O ganho e a linearidade estão relacionados com uma tensão e corrente bias, tal como tamanho do transistor transcondutor, que deve ser calculado de acordo com o IP3 e pela corrente disponível. M1 e M2 devem estar em saturação, então a carga colocada deve levar isso em consideração. A ganho de conversão pode cair com a variação de tensão do oscilador local. A tensão do oscilador varia com o tempo, em alguns momentos os

transistores M1 e M2 entram em modo comum (CMRR), e neste instante de tempo a ganho de conversão é baixa, consequentemente com a diminuição da tensão do oscilador do local, o tempo de operação em modo comum aumenta, diminuindo o ganho. Exceto quando a forma de onda do oscilador local seja uma onda quadrada [44]. Não obstante, a conversão de ganho pode ser afetada por capacitâncias parasitas no momento do chaveamento, que fica mais evidente quando a frequência de entrada é maior que a frequência de trabalho do transistor [40].

4.4.3 Mixers de Balanceamento Duplo

Tais misturadores são utilizados para resolver o problema principal do misturador de balanceamento simples, a passagem de sinal da porta LO para a entrada e para a saída do circuito. O misturador é elucidado pela Figura 36.

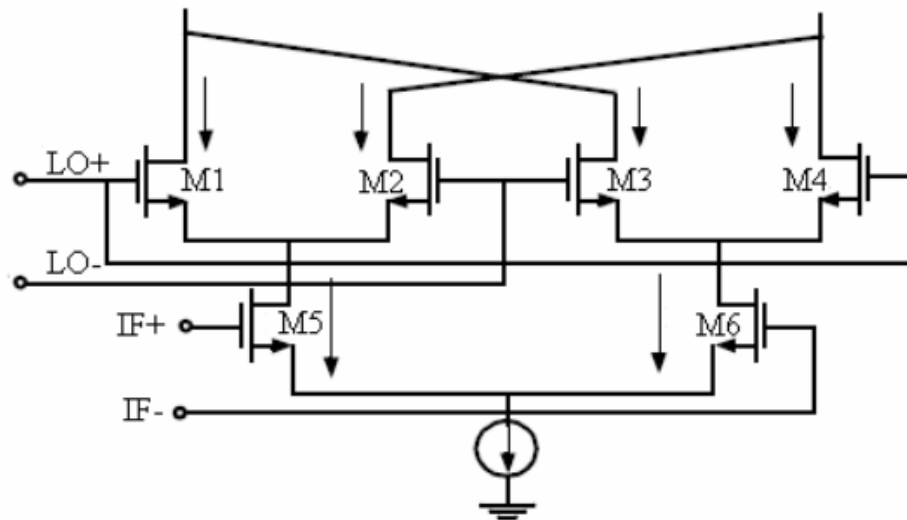


Figura 36 – Mixer Balanceamento Duplo [48]

Como Zhu [48] menciona em seu trabalho final, Dois misturadores de balanceamento simples são conectados de forma anti-paralela, assim como o sinal LO. De tal forma, os termos de LO somam zero na saída, onde o sinal IF convertido é dobrado. O misturador, então, cede um alto nível de isolamento, redução de ruído nas saídas, além de facilitar a filtragem necessária na saída.

Acima dos pares diferenciais, coloca-se cargas ativas, a fim de a manter a simetria do misturador, assim como no balanceamento simples. Uma desvantagem dessa arquitetura é o baixo ponto de compressão e de intermodulação.

4.4.4 Mixer Balanceamento Duplo com Degeneração Comum

Para aumentar o ponto de compressão e IM nessa arquitetura, é possível aumentar a bateria ou a corrente de polarização I_{bias} , mas essas opções aumentam a potência consumida pelo misturador. Resistores ou indutores podem ser utilizados como degeneração comum da fonte. A degeneração do indutor possui mais vantagem em relação ao resistor, pois o mesmo não possui ruído térmico para degradar o NF, além de não ter queda de tensão em cima do indutor. Contudo, o resistor também possui vantagens, como economizar área no chip e operar em bandas maiores. O circuito é visto na Figura 37.

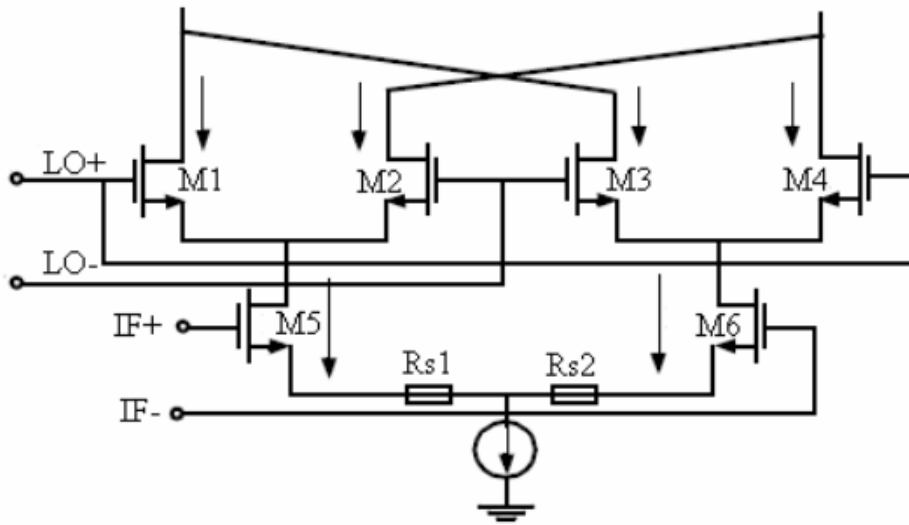


Figura 37 – Mixer Balanceamento Duplo com Degeneração Comum [48]

O ganho de conversão pelo circuito da Figura 37 é dado por:

$$A = \frac{V_{rf}}{V_{if}} \approx \frac{2R_l}{\pi(R_s + \frac{1}{gm})} \quad (4.22)$$

4.4.5 Mixer Célula de Gilbert

O misturador do tipo Célula de Gilbert é uma das arquiteturas mais comuns de se observar em projetos complexos que envolvem protocolos de comunicação, como afirma Moroguma [20], pois ela apresenta as vantagens das arquiteturas balanceadas, e não necessita de elementos reativos, apresenta um bom desempenho de ruído e um bom ganho de conversão. Além disso, houve um avanço da arquitetura padrão de Gilbert para arquiteturas mais robustas, onde cada uma traz mudanças significativas. Tais arquiteturas são: Célula de Gilbert sem fonte de corrente; Célula de Gilbert com estágio de RF alternativo; Célula de Gilbert com injeção de corrente; Célula de Gilbert com transformador integrado; Micromixer [20].

Um exemplo da Célula de Gilbert é elucidado pela Figura 38.

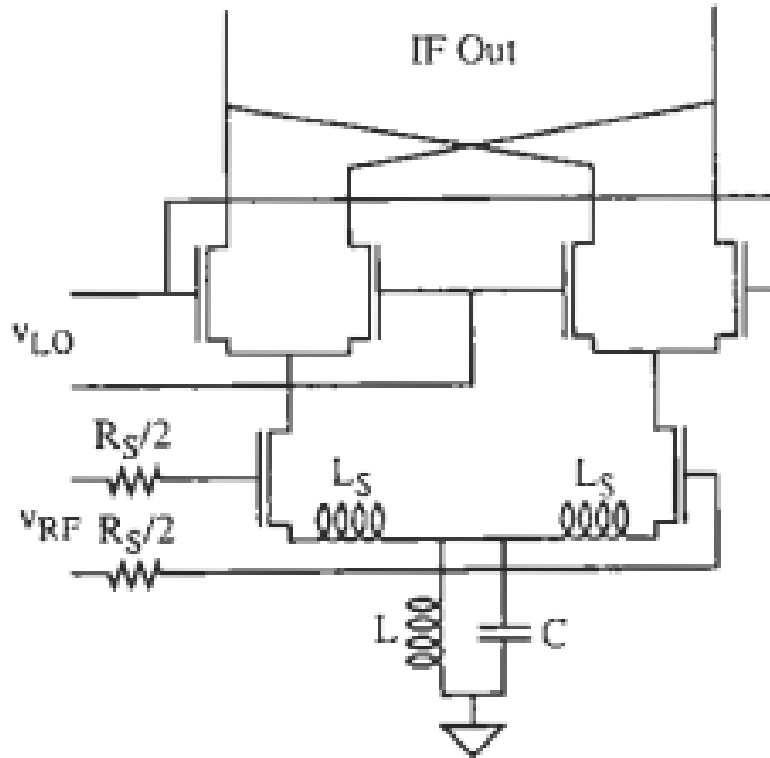


Figura 38 – Mixer Célula de Gilbert
[47]

O circuito da Figura 38 é mais utilizado para casamento de impedâncias, o circuito oscilador tanque também cede mais linearidade ao conjunto, por compor esses indutores e resistores, acaba ocupando maior área. Por isso, é mais utilizado quando se deseja fazer um chip só para o mixer, e não o conjunto inteiro do transceptor.

Outra representação da mesma Célula é vista na Figura 39. A principal diferença é a ausência do circuito oscilador no estágio de transcondutância da Figura 38, dos indutores e resistores que fazem casamento de impedância, ocupando, dessa forma, bem menos área.

Em ambas as figuras, 38 e 39, verificam-se misturadores downconverter, já que no estágio de transcondutância, a entrada é um sinal de RF. Além disso, o ganho de conversão de uma célula Gilbert é dado por:

$$A \approx \frac{2}{\pi} gm R_{load} \quad (4.23)$$

Que é o ganho descrito por um par diferencial.

Para realizar o deslocamento de frequência, como afirma Aces [1], a Célula de Gilbert realiza uma mudança constante no sentido da corrente que passa pelo transistor de saída em uma velocidade que é definida pela frequência do oscilador local. Assim,

Em geral, o que normalmente é alterado dos downconverters para os upconverters é a posição das portas IF e RF, além disso, os vários outros circuitos aprimorados de mixers são pequenas alterações realizadas em cima das topologias mostradas anteriormente. Cada adaptação existente mira um propósito diferente, que depende das especificações de projeto.

5 Metodologia

Nesta seção, ocorre o detalhamento da metodologia geral para projetos de circuitos integrados e a metodologia de verificação para o transceptor Zigbee, onde os resultados serão checados até que seus subcomponentes atinjam as especificações de projeto a nível de CNTFET.

5.1 Metodologia Geral

A cadeia de metodologias de projeto de circuitos integrados, consiste em dois grandes métodos. A reconhecida como Bottom-Up, e a Top-Down. Cada uma possui seus prós e contras, mas a tendência é que a Top-Down sobreescreva completamente a Bottom-Up, a ponto de sua extinção, com o passar do tempo. Os motivos são detalhados nessa seção, explicando o por quê da escolha da metodologia Top-Down.

5.1.1 Bottom-Up

É a metodologia com visão mais tradicional em circuitos integrados. Diversas empresas de chips já utilizaram ela antes de migrarem para a Top-Down, e muitas ainda utilizam. Basicamente, o método consiste na divisão do chip em vários blocos, onde cada projetista trabalha em cima de um determinado número de blocos individualmente. As simulações são realizadas individualmente, comprovado o funcionamento, os projetistas juntam os blocos em um projeto final e simulam o todo.

Em projetos de pequena escala, a metodologia é bem eficiente. Entretanto, em larga escala, segundo Kundert [49], os problemas começam a aparecer. Problemas devido aos blocos terem sido fundidos a nível de transistores, o que deixa o projeto muito denso e leva aos seguintes contras:

- Quando os blocos são combinados, a simulação se torna lenta, de difícil verificação. A quantidade de verificações devem ser diminuídas, senão as simulações não são completadas computacionalmente.
- Em projetos complexos, o nível de arquitetura provê grande impacto na performance, no custo e na funcionalidade. O contra é, que na metodologia em questão, há pouca exploração em níveis de arquitetura, por isso tais melhorias acabam sendo deixadas de lado.
- Qualquer problema, erro, encontrado quando é feito a junção dos blocos gera custos altos, pois deve-se refazer o projeto dos blocos.

- A comunicação entre os projetistas não é tão eficaz nesse tipo de projeto, onde o profissional fica designado a um bloco e não tem um acesso constante ao resto do circuito. Para que os blocos funcionem quando ocorrido a junção, é necessário que os projetistas estejam em constante contato entre si. As falhas de comunicação podem acarretar na necessidade de adquirir mais componentes para os protótipos.
- Diversos passos importantes e custosos devem ser processados, cumpridos. O que acaba gerando um atraso de tempo na entrega do projeto final algumas vezes, isso devido as fases de simulação já esticarem bastante o tempo em si do projeto.

Como explicado, o maior problema é que a densidade dos blocos a nível de transistor exige grande esforço computacional. Esse esforço acaba limitando o número de simulações feitas para achar os problemas no circuito. Além da comunicação ineficaz, que traz problemas na junção final de todos os blocos.

Muitas vezes os erros são encontrados depois de uma ou mais levadas de chips já terem sido produzidas, o que é bem custoso em um projeto desse nível de complexidade. Vários pontos fundamentais de forma a evitar problemas não são cumpridos nessa metodologia, mas estão presentes na metodologia Top-Down, como será mostrado adiante.

5.1.2 Top-Down

A metodologia Top-Down exige que os projetistas se comuniquem mais entre si e tenham acesso a todo o trabalho do chip, não apenas a um bloco. Dessa forma, o engenheiro projeta seu bloco a nível de transistores e simula com o restante dos blocos, geralmente em Verilog-A ou Verilog-AMS. Nenhuma das duas realiza síntese de circuito, mas permitem a verificação de funcionalidade. A principal diferença entre ambas é a velocidade do AMS, permitindo também simulações mistas com blocos digitais e analógicos. Ainda assim, são ferramentas extremamente semelhantes em eficiência. O Top-Down acaba tratando os problemas encontrados pela Bottom-Up. De acordo com Kundert [49], o método age eliminando problemas de descontinuidade, melhorando a verificação de erros, melhorando a efetividade do design, reorganizando os desafios de projeto, tornando-os mais paralelos e eliminando dependências, além de reduzir a necessidade de uma simulação final com o projeto todo a nível de transistor e eliminar a necessidade de reprojetos de chips. De acordo com os processos finais, os projetistas obtêm a confirmação do que precisa ser mudado no circuito a nível de transistores para realizar a junção dos blocos e evitar erros. O método consegue diminuir significativamente os erros que, normalmente, são vistos apenas na pós-produção de um chip, devido a ausência de um número adequado de simulações. A produtividade aumenta significativamente, permitindo que os projetos sejam terminados em menos tempo, com mais verificações e menos desperdício de recursos.

5.2 Metodologia de Verificação

Primeiramente, considera-se que o objetivo é juntar o mixer downconverter [40] e o mixer upconverter [41], já feitos a nível de transistor, observando seus respectivos funcionamentos quando inseridos no transceptor ZigBee. Os blocos do transceptor são modelados em Verilog-A para realização das simulações de forma a gerar uma estimativa de como o CNTFET se comporta com outros blocos presentes. Os mixers downconverter e upconverter possuem componentes físicos em suas células (Modelo Célula de Gilbert), porém, o CNTFET é tratado em Verilog-A por um modelo eficaz e com comportamento avaliado como próximo ao modelo real, demonstrado por Pimenta [9].

A fim de juntar cada componente, é necessário analisar individualmente o comportamento desses modelos já construídos. A frequência RF definida é 2.4 GHz. Provavelmente, mesmo que os modelos funcionem individualmente, muitas vezes ocorre de na junção final, o bloco completo, no caso, o transceptor, acabar não funcionando como deveria, algo que ocorre bastante em projetos de circuitos integrados. Se for o caso, é imprescindível que hajam mudanças nos circuitos finais dos mixers a nível de CNTFET ou em outros componentes. Pois, posteriormente, após a validação, o LNA (Low Noise Amplifier) é inserido a nível de CMOS com finalidade de analisar a interação CNTFET e CMOS. Além disso, um dos fatores que podem acabar alterando significativamente o projeto posteriormente, é a forma como os mixers foram projetados. No mixer Downconverter, utiliza-se uma fonte de corrente, o que não é viável em chips. No upconverter, faz-se um espelho de correntes por CNTFET, que é a melhor solução para chips (ocupa menos área). Porém, o espelho no CNTFET não é tão estável ou preciso como no MOSFET.

Ademais, O PLL (Phase Loop Lock), que é um bloco de grande importância, constituído, geralmente, por um VCO (Voltage Controlled Oscillator), um Current Pump e um bloco divisor de frequência, responsável por gerar as tensões necessárias para transladar a frequência nos mixers para RF ou IF, é simulado apenas como fonte de tensão e uma frequência para simplificar o modelo PLL.

Os mixers terão suas figuras de mérito mais importantes analisadas. Estuda-se o ganho de conversão, a potência dissipada pelo circuito e a linearidade, no caso pode ser o P1dB ou o IP3, ambos apontam bem a figura de ruído de linearidade, sendo o IP3 10 dBm maior que o P1dB. A verificação dos resultados segue o fluxograma na Figura 40.

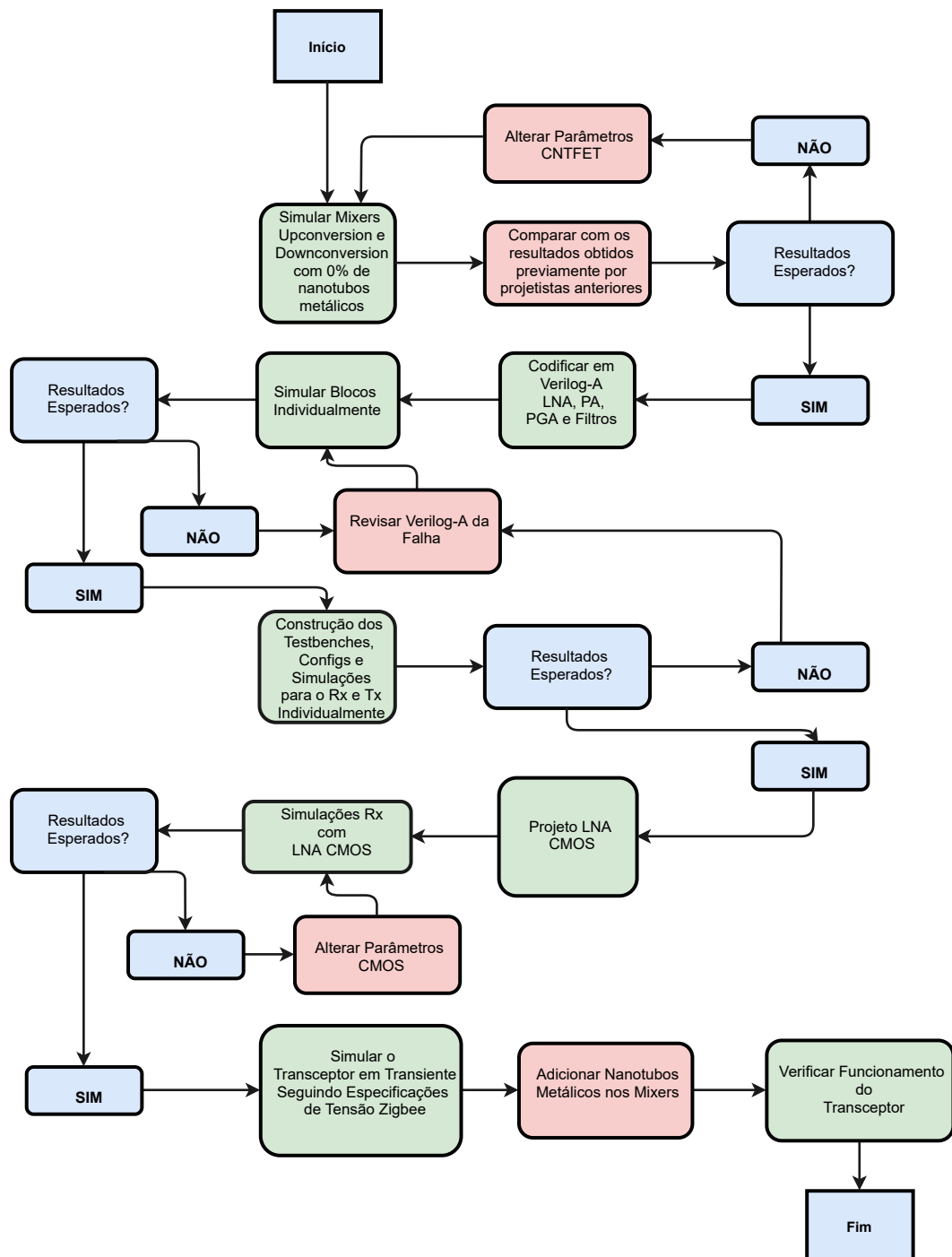


Figura 40 – Fluxograma de Verificação

Como apontado pelo fluxograma anterior, os blocos que estarão a nível de CNTFET são avaliados individualmente, em seguida, codifica-se os blocos em Verilog-A, verificando suas simulações individualmente para que o transmissor e o receptor possam ser validados. Após a validação, o LNA é projetado em nível CMOS, verificando assim, a interação com o CNTFET no receptor Zigbee. Uma desvantagem é que cada alteração dos

dados de CNTFET dos mixers consome um determinado tempo, não sendo tão trivial, já que antes é necessário rodar o algoritmo do Octave na máquina virtual, onde ocorre a conversão dos parâmetros físicos para elétricos, e então substituir no bloco do CNTFET feito em Verilog-A.

Um fator a ser considerado na verificação é que, na ausência de nanotubos metálicos, existe uma região de saturação e uma região linear bem definida, considerada também como uma saturação gradual, que como dito anteriormente, melhora as características elétricas. Entretanto, a medida que a quantidade de tubos metálicos aumenta, o gráfico das regiões sofre algumas alterações. Tal efeito prejudica o projeto de circuitos analógicos, principalmente os que necessitam que o transistor opere sempre em saturação. Moroguma [20] afirma, que esse efeito tem uma aparência semelhante com um efeito conhecido nos MOSFETs chamado de modulação do canal, provocando certa diminuição do comprimento do canal por deslocamento do ponto de estrangulamento no sentido do dreno para fonte.

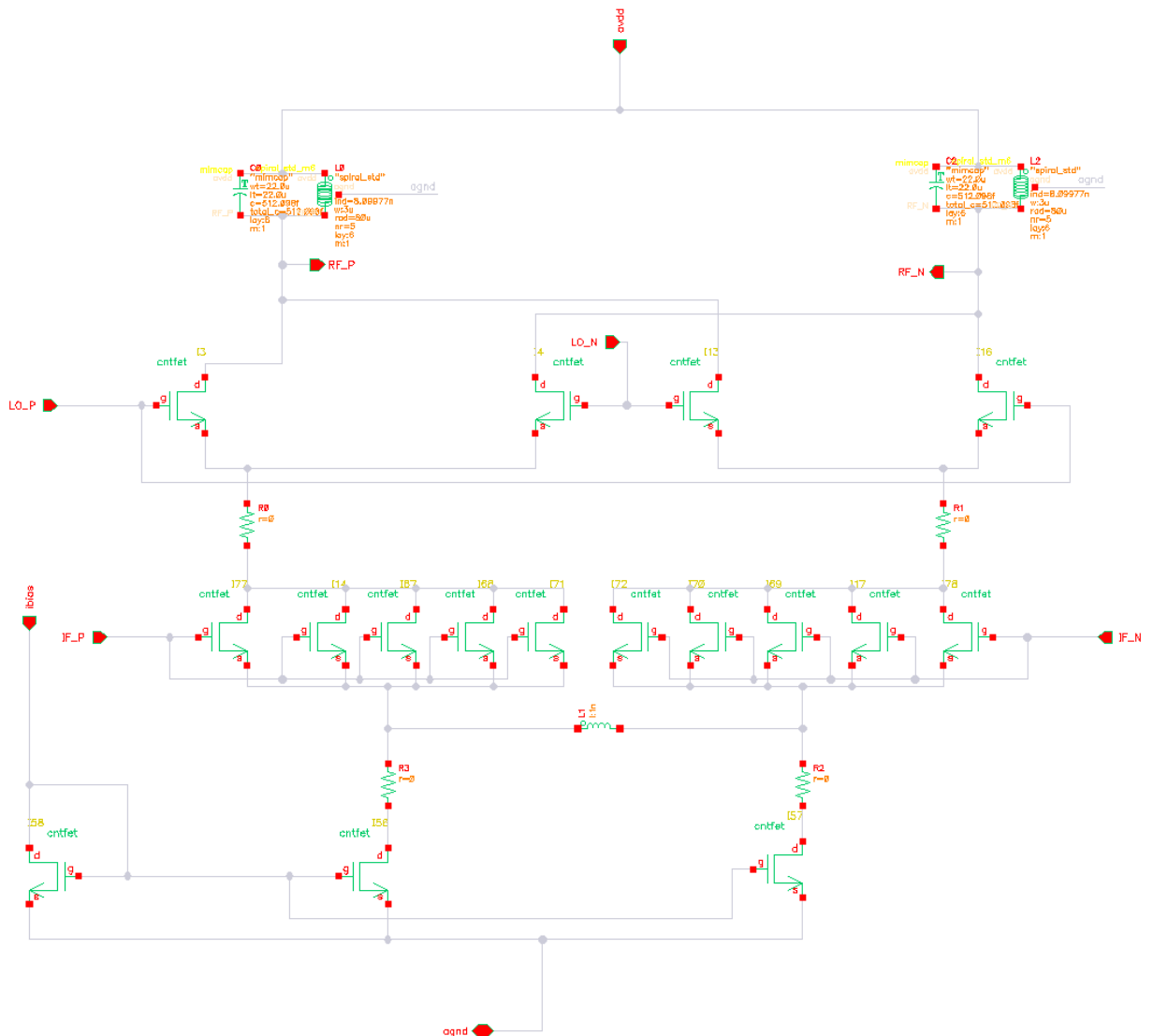
A checagem do limite no nível de impurezas é, basicamente, contaminar os nanotubos do circuito em uma pequena porcentagem e analisar como o transceptor se comporta, a porcentagem de nanotubos metálicos escolhida para análise, foi de 0.8%, pois já é uma porcentagem próxima da pureza atual dos CNTFET fabricados. Na prática, é bem difícil a obtenção de sucesso de fabricação sem contaminação alguma nos nanotubos CNT. Os problemas que surgem é os mixers não reagirem da mesma forma à contaminação, exemplo: A mesma contaminação no upconverter e no downconverter pode gerar resultados diferentes, já que foram projetados de formas diferentes em quesito de alimentação, multiplicidades diferentes dentro da Célula de Gilbert. Além disso, a linearidade e o ganho de conversão tendem a diminuir, como já caracterizado por Helton [40] e por Lucas [41].

Em quesito de simulação, todas são realizadas no software Cadence. As tecnologia mais acessível, no momento, é a 0.13, já que o laboratório, no momento atual, é de difícil acesso. Levando em consideração que o CNTFET segue um modelo em Verilog-A, pode ser importado nas duas, porém, o restante dos blocos pode variar bastante de acordo com as tecnologias. As simulações para os misturadores a nível de CNTFET para Rádio Frequência são rodadas em QPSS, onde a potência do oscilador local afeta o desempenho (Figuras de Ruído) dos misturadores. Então, realiza-se um sweep (variação em uma faixa de valores escolhida) para a potência do oscilador, e conclui-se qual a potência em dB que irá fornecer a especificação requisitada. A simulação em PSS pode ser rodada também, mas a mesma enxerga o circuito como um quadripolo e entrega os parâmetros de espalhamento (parâmetros S), que relacionam a potência incidida nas portas da rede com a potência refletida. É um parâmetro importantíssimo em estudos de altas frequências. Afinal, em frequências elevadas as indutâncias e capacitâncias parasitas, associadas aos curtos e abertos, devem ser anulados com o auxílio de tocos de sintonia nas portas, os

tocos devem ser ajustados em cada frequência e o dispositivo tende a oscilar, anulando a validade das medidas e, por assim dizer, os parâmetros mais utilizados como Z (Impedâncias). Os parâmetros S acabam sendo muito utilizados devido a terem a capacidade de caracterizar os dispositivos em faixas de frequências melhor o comportamento físico nas quais os parâmetros distribuídos descrevem melhor o comportamento físico do que os parâmetros concentrados.

5.2.1 Verificação Mixer Upconverter

Seguindo o esquemático de [41], apresentado pela Figura 41.



O mixer upconverter é modelado através da célula de Gilbert, contendo então, a polarização do circuito por espelho de corrente, um estágio de transcondutância, que influencia o ganho do circuito e majoritariamente na figura de ruído, sendo também a entrada do sinal IF diferencial com frequência banda-base, e um estágio de chaveamento, que contribui com a não linearidade e com a figura de ruído do circuito, sendo a entrada da tensão do oscilador local (LO) com alta frequência para translação.

Pelo Qpss, a potência dada pelo mixer upconverter com 0% de impurezas pode ser vista na Figura 42. A potência dada é a soma em todos os harmônicos de frequências. De acordo com [41], a potência pode ser considerada a mesma no nível fundamental, já que o valor dela comparado às outras é tão discrepante, sendo -25.16 dB , e a mais próxima em -160.7 dB . Isso devido ao fato de -25.16 dB equivaler a 3.04 mW , e -160.7 dB equivaler a $8.511 \times 10^{-17} \text{ W}$.

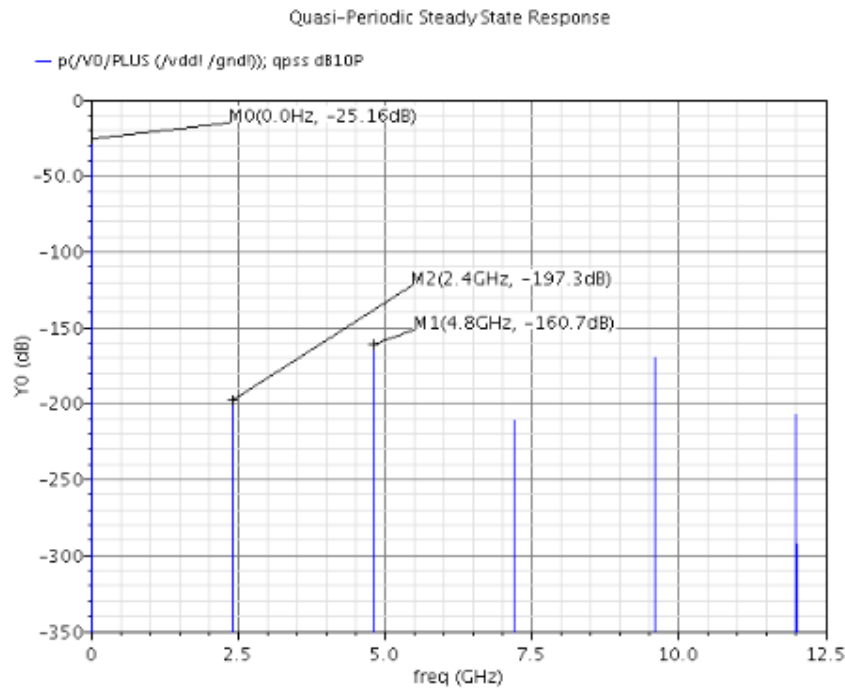


Figura 42 – Potência Upconverter

Em relação ao ganho de conversão com relação a potência do oscilador local, temos que o máximo ganho de conversão é visto na Figura 43.

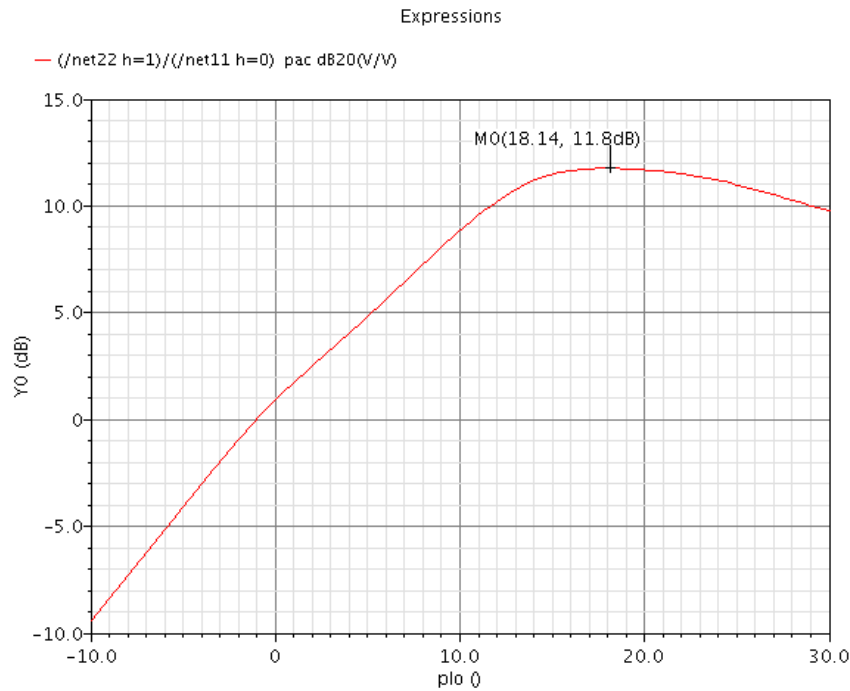


Figura 43 – Ganho de Conversão Upconverter

Pode ser observado que o ganho máximo é 11.8 dB, quando a potência do oscilador local está em 18.14 dB. Obviamente, quando houver contaminação nos nanotubos, haverá mudanças nos gráficos, tendendo a piorar o desempenho [41]. Como fator de linearidade, observa-se, para 0 % de contaminação, o $P1_{dB}$ através da Figura 44.

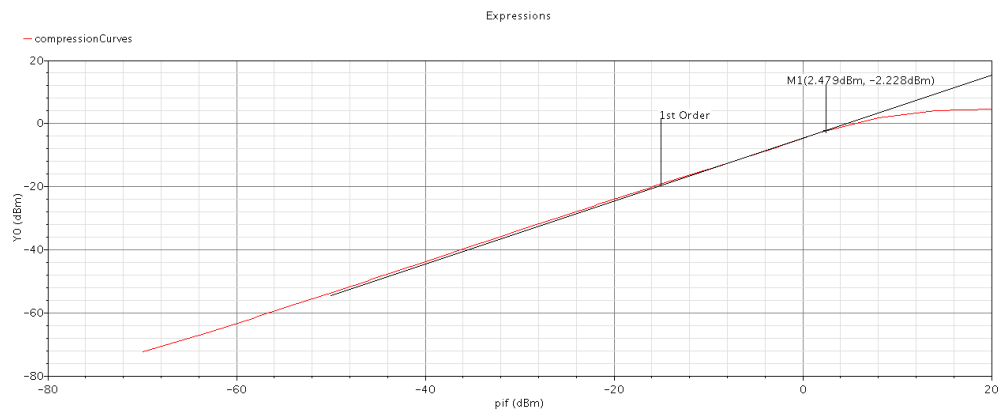


Figura 44 – P1dB Upconverter

O ponto de compressão de 1dB está localizado em aproximadamente -2.22 dBm, com uma margem de 1 dBm acima. É o ponto onde a curva de linearidade do misturador se afasta da curva ideal, devido aos harmônicos produzidos pela não linearidade. Ademais, a tabela de especificações para um misturador upconverter Zigbee, obtidas em CNTFET 0% de nanotubos metálicos por Barbosa [41], e adaptada por mim, é vista em (Tab. 3)

Tabela 3 – Especificações Upconverter

Parâmetro	Especificado	Obtido
Alimentação	1.2 V	1.2 V
Faixa de Operação	2.4-2.5 GHz	2.4-2.5 GHz
Consumo de Potência	10 mW	3.05 mW
$P1_{dB}$	-10 dBm	-2.22 dBm
Ganho de Conversão	8 dB	11.8 dB

5.2.2 Verificação Mixer Downconverter

Seguindo o esquemático de [40], apresentado pela Figura 45, é possível visualizar que a polarização ocorre por uma fonte de corrente, não é o caso ideal em chips. Porém, o espelho de corrente no CNTFET não funciona tão precisamente, apesar de estar presente no Upconverter, as teorias não se aplicam da mesma forma que no MOSFET. Ademais, o efetivo seria necessário, pelo menos, utilizar um único transistor agindo com fonte de corrente polarizado por tensão, como é feito no trabalho de Moroguma [20]. Também, há uma fonte pequena tensão de polarização DC na entrada da célula, observado no Anexo A, Figura 88, referente ao testbench utilizado para os mixers em CNTFET [40] [41].

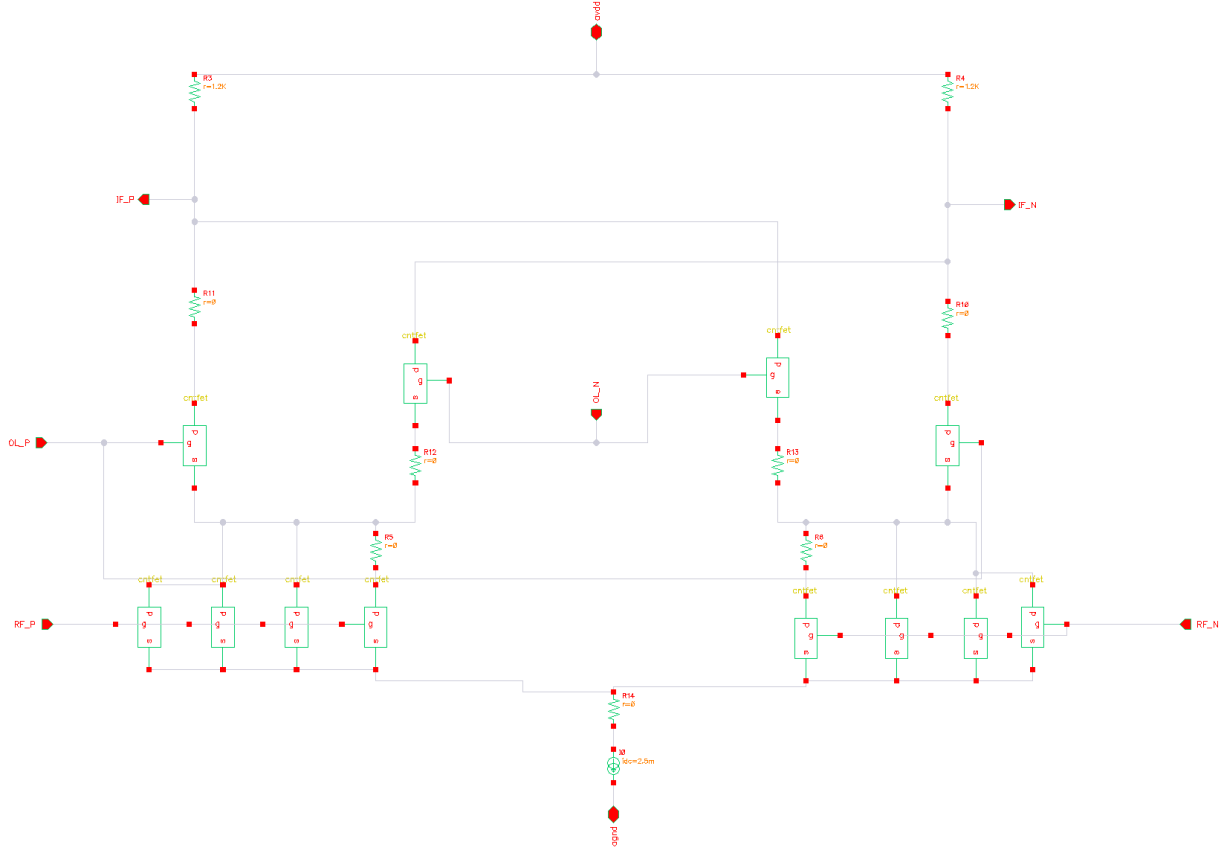


Figura 45 – Célula Mixer Downconverter

O circuito também é modelado através da célula de Gilbert, contendo um estágio de transcondutância, que influencia no ganho do circuito e majoritariamente na figura de ruído, sendo também a entrada do sinal RF diferencial com frequência alta frequência, e um estágio de chaveamento, que contribui com a não linearidade e com a figura de ruído do circuito, sendo a entrada da tensão do oscilador local com frequência banda-base para translação.

A potência dada pelo mixer downconverter com 0% de impurezas pode ser vista na Figura 46. A potência pode ser considerada a mesma no nível fundamental, já que o valor comparado às outras é de tamanha discrepância, como ocorreu no upconverter, sendo então, a potência igual a 9.42 dBm, equivalente a 8.75 mW.

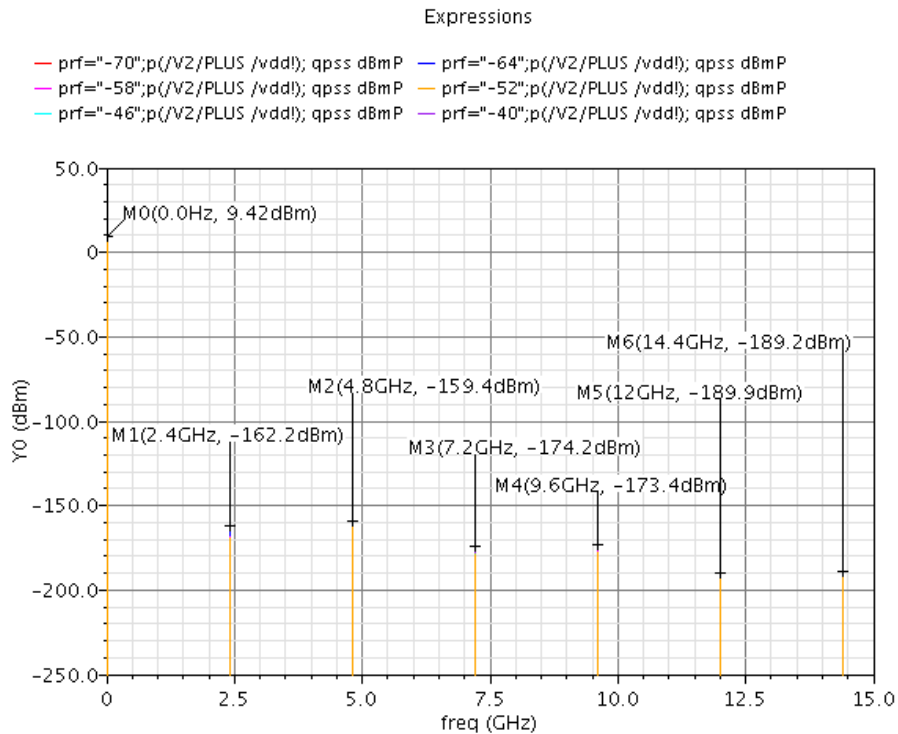


Figura 46 – Potência Downconverter

A relação entre ganho de conversão e potência do oscilador local entrega um máximo ganho de conversão para determinada potência no oscilador local, vista através da Figura 47. Na qual, o ganho máximo é de aproximadamente 8 dB.

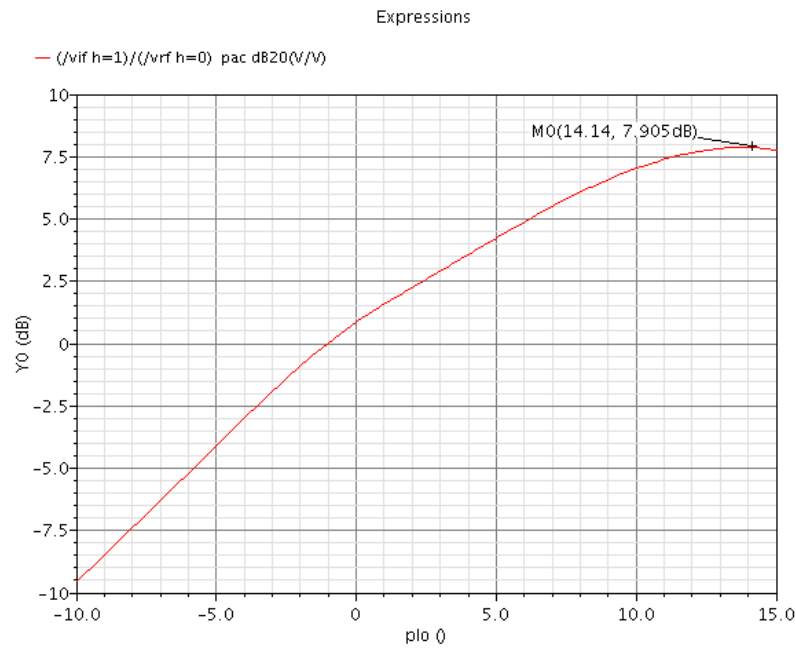


Figura 47 – Ganho de Conversão Downconverter

Além disso, observa-se a figura de mérito P1dB, através da Figura 48, onde é possível ver que o mixer cumpre as especificações de linearidade.

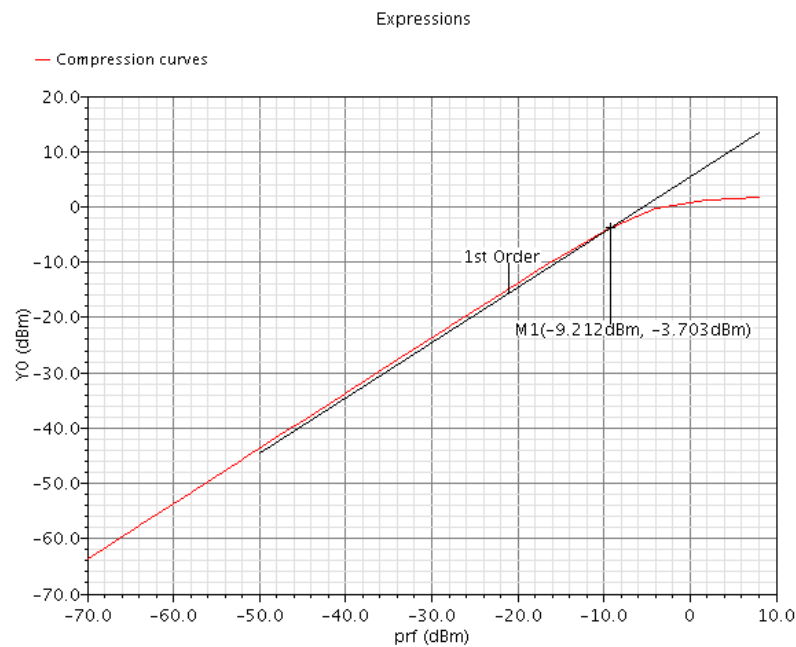


Figura 48 – P1dB

Por fim, tendo realizado a caracterização do mixer Downconverter no Cadence, apresenta-se a tabela de especificações para um misturador downconverter Zigbee em CNTFET [40], e adaptada por autoria própria, vista em (Tab. 4)

Tabela 4 – Especificações Downconverter

Parâmetro	Especificado	Obtido
Alimentação	1.2 V	3.5 V
Faixa de Operação	2.4-2.5 GHz	2.4-2.5 GHz
Consumo de Potência	10 mW	8.75 mW
P_{1dB}	-5 dBm	-3.703 dBm
Ganho de Conversão	12 dB	8 dB

5.2.3 Projeto do Amplificador de Baixo Ruído em CMOS

O projeto do LNA é tratado de forma direta, de acordo com as especificações da tecnologia 0.13. Cobre-se todo o passo-a-passo de projeto, as simulações e funcionamento geral do circuito. Logo, considerando a tabela a seguir, sobre as características do cmos 0.13, essencial para os cálculos de projeto de LNA, temos (Tab. 5):

Tabela 5 – Especificações Tecnologia 0.13

Parâmetro	NMOS	PMOS
L_{min}	0.13 μm	0.13 μm
C_{ox}	8.82 $f \frac{F}{\mu m^2}$	8.82 $f \frac{F}{\mu m^2}$
k	593 $\mu \frac{A}{V^2}$	216 $\mu \frac{A}{V^2}$
$ V_{th} $	0.297 V	0.357 V

A topologia do circuito segue o modelo diferencial para o transceptor Zigbee. As vantagens do circuito double-ended, não só para o LNA, são centradas na possibilidade de se obter um melhor desempenho em relação a maior imunidade à ruídos, PSRR, também, apresentando boa estabilidade, rejeição de nível DC comum e fornece um maior balanço de saída (output swing), e no caso do LNA, possibilita alcançar uma maior amplificação do sinal de entrada quando comparado ao single-ended. O LNA diferencial trabalhado é visto na Figura 49.

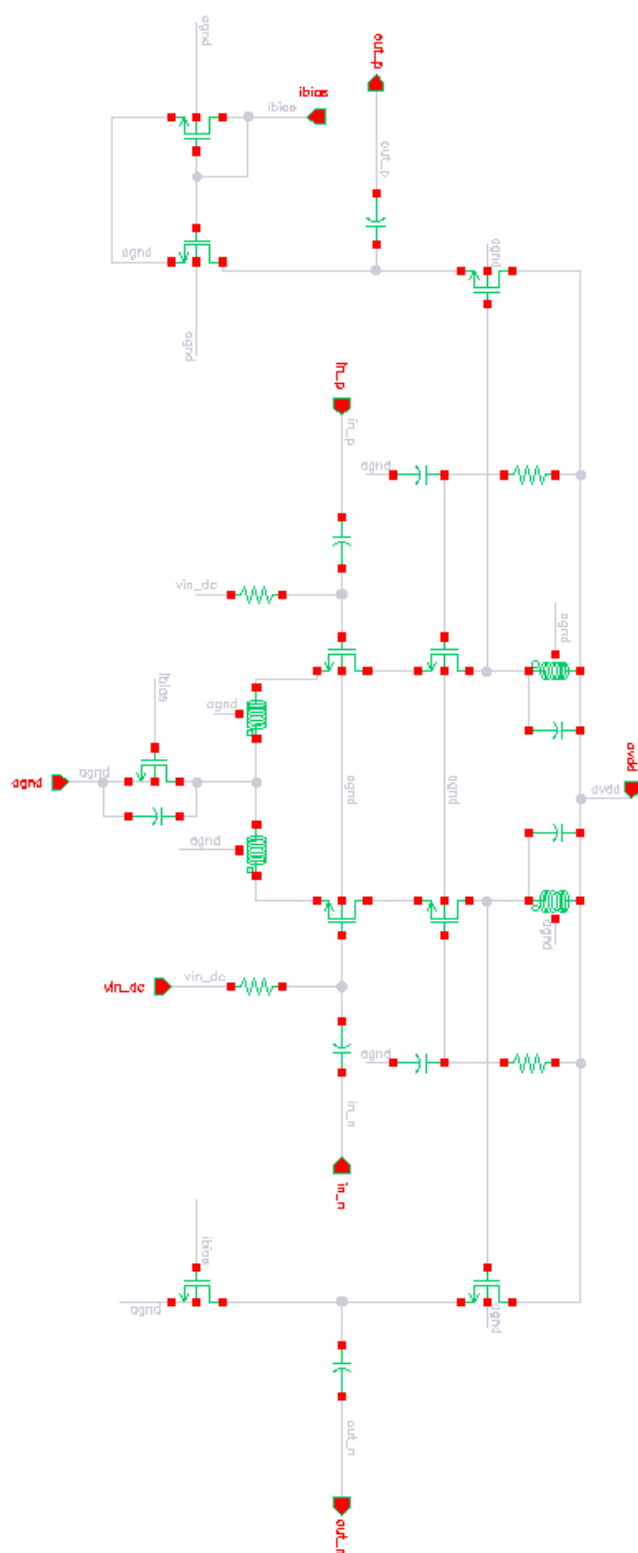


Figura 49 – Célula LNA Diferencial.

O LNA diferencial é formado por dois circuitos single-ended, que recebem sinais de

entrada de mesma magnitude, mas de sinais opostos. Assim, os transistores M1, M3 e M2, M4 formam o estágio cascode diferencial com degeneração indutiva no source. Acrescenta-se ao amplificador diferencial um segundo estágio dispostos na configuração dreno comum na saída do LNA, que é formado pelos transistores M6 e M7 na saída negativa, e pelos transistores M8 e M9 para a saída positiva. Essa configuração funciona como um buffer e ajuda a manter a impedância de saída no valor desejado (50Ω).

De forma a finalizar o modelo em esquemático, realiza-se o passo-a-passo de projeto para que valores iniciais de projeto sejam obtidos e possam ser testados no simulador, com possíveis alterações nos valores finais para que se obtenham melhores resultados nas figuras de mérito essenciais para o bom funcionamento do LNA no módulo receptor do Zigbee. As especificações comuns de figuras de méritos utilizadas em projetos de LNA, na tecnologia 0.13u, encontram-se inseridas na tabela (Tab. 6):

Tabela 6 – Especificações para LNA's [1] modificada

Especificações	Valor	Unidade
Tecnologia	0.13	<i>um</i>
Tensão de Alimentação	1.2	V
Faixa de Operação	2.4 - 2.5	GHz
Potência Dissipada	10	mW
Figura de Ruído	2	dB
Ganho de Conversão	20	dB
IP1 dB	-23.6	dBm

Considerando que o sinal recebido pela antena de RF é pequeno, o LNA deve garantir um bom ganho ao sinal e submeter, no sistema, a menor quantidade de ruído possível. O LNA precisa ter um bom desempenho, principalmente, por causa da Fórmula de Friss, sendo o primeiro bloco do receptor o que mais influencia em toda a figura de ruído da cadeia de recepção.

Assim, as larguras dos transistores serão dimensionadas através da Equação 5.1 [47], dessa forma, obtém-se a largura adequada de funcionamento dentro da frequência de trabalho, levando-se em conta a impedância da antena receptora do sinal e a tecnologia utilizada.

$$W_{12} = \frac{1}{3 \cdot w \cdot L \cdot Cox \cdot R_s} \quad (5.1)$$

Dado a capacitância de camada de óxido Cox , da tecnologia 0.13, apontada na tabela 5, o comprimento de canal L , e a frequência do sinal de interesse, que está entre 2.4 GHz e 2.5 GHz, utilizando o ponto médio 2.45 GHz como frequência intermediária, o parâmetro W_{12} depende mais da resistência da antena de R_f , que é de valor 50Ω . Calculando, $W_{1,2} = 377.7um$. Adotando um orçamento de potência de $5mW$, sabendo que

$Pot = U.I_D$, utiliza-se metade do orçamento de potência para calcular a corrente utilizada na polarização do circuito, já que há um estágio presente para polarização do LNA. Assim, o primeiro estágio do LNA consome metade da potência de todo o circuito projetado. Para metade da potência adotada e tensão de alimentação de 1.2 V, $I_D = 2.083$ mA. Como o circuito do LNA é diferencial, essa corrente de polarização será dividida igualmente em dois ramos do circuito, entre os transistores M1 e M2, que recebem o sinal positivo e negativo, respectivamente. Portanto, a corrente que passará por esses transistores de entrada equivale a $I_{D,12} = 1.04$ mA.

A tensão Bias, $V_{gs} = 0.35V$, encontrada pela equação 5.2:

$$V_{gs} = \sqrt{\frac{I_{D1,2}}{K_n \cdot \frac{W_{1,2}}{2L}}} + V_{th} \quad (5.2)$$

O valor da transcondutância g_m pode ser encontrada pela equação 5.3:

$$g_m = \sqrt{2 \cdot I_{D1,2} \cdot K_n \cdot \frac{W_{1,2}}{L}} \quad (5.3)$$

Dessa forma, obtém-se uma transcondutância do transistor de entrada igual a 85 mS. Com o objetivo de encontrar os valores dos indutores, encontra-se, primeiro, o valor da capacitância parasita presente na entrada do transistor que recebe o sinal da antena [47] [1], e que é dada pela equação 5.4:

$$C_{gs} = \frac{2}{3} W_{1,2} L C_{ox} \quad (5.4)$$

O valor de C_{gs} encontrado foi de 0.2887 pF. Logo em seguida, obtém-se a frequência de ganho unitário utilizando os valores calculados de transcondutância e da capacitância parasita. Inserindo-os na equação 5.5, O valor obtido para ω_t foi de $294.42 \text{ } G\frac{rad}{s}$.

$$\omega_t = \frac{g_m}{C_{gs}} \quad (5.5)$$

Ademais, é preciso verificar a impedância de entrada do LNA pelo modelo de pequenos sinais [1] [47]. O modelo fornece que a impedância de entrada Z_{in} é regido pela equação 5.6:

$$Z_{in} = \omega_t \cdot L_s + \frac{1}{j\omega \cdot C_{gs}} + j\omega \cdot L_s \quad (5.6)$$

Considerando que a impedância de entrada é casada com 50Ω , pode-se descartar a parte imaginária da equação para encontrar o L_s , que compõe a parte real e total da

impedância. O valor encontrado para L_s foi de 0.17 nH . Com o objetivo de causar oscilação e ressonância no circuito, na frequência de operação do LNA, e, consequentemente, provocar o cancelamento da capacitância parasita intrínseca do transistor de entrada, é necessário a inclusão de um indutor, L_g , no gate do transistor. O indutor deve ressoar com a capacitância parasita de entrada na frequência de operação do circuito. Além disso, acrescentou-se um indutor, L_s , de degeneração ao circuito, logo, é importante levá-lo em consideração para encontrar o valor da indutância L_g , utilizando a equação 5.7.

$$\omega = \frac{1}{\sqrt{L_t.C_{gs}}} \quad (5.7)$$

Sendo que $L_t = L_g + L_s = 57.706 \text{ nH}$, portanto, $L_g = 57.69 \text{ nH}$. O indutor, L_d , presente no dreno do transistor cascode serve para formar um circuito tanque com um capacitor, C_d , e filtrar o sinal na frequência de $2,4 \text{ GHz}$. Este procedimento faz com que a frequência imagem seja rejeitada e consequentemente evite que o sinal recebido seja corrompido após o deslocamento de frequência que será realizado pelo mixer [1]. A frequência de ressonância do circuito tanque que realizará essa filtragem é dada pela equação 5.8.

$$\omega = \frac{1}{\sqrt{L_d.C_d}} \quad (5.8)$$

Logo, ao escolher um capacitor de 1 pF , encontra-se um indutor de $L_d = 4.40 \text{ nH}$. De acordo com a equação para o fator de qualidade para o LNA:

$$Q = \frac{\omega L_d}{r_d} \quad (5.9)$$

Implica-se, que o fator de qualidade está ligado ao ganho, portanto, tomando um fator de qualidade de 10 para que não influencie tanto no ganho, é possível obter o valor de resistência $r_d = 6.6 \Omega$. Por fim, deve-se definir a corrente de polarização do segundo estágio do amplificador. É desejável que a impedância de saída do segundo estágio seja igual a 50Ω . De tal forma, que a impedância de saída possa ser encontrada através da resistência equivalente, calculada a partir do paralelo das resistências de saída dos transistores que compõem o segundo estágio. Como existe uma alta impedância de saída para os transistores $M_{6,9}$ e uma baixa impedância de saída para os $M_{7,8}$ (inversamente proporcional à sua transcondutância), a resistência equivalente é dada aproximadamente por $M_{7,8}$ [1]. Logo, através da equação 5.10 é possível encontrar a transcondutância deste estágio e então aplica-la na equação 5.11.

$$R_{out} = \frac{1}{gm} = 50 \quad (5.10)$$

$$gm = \sqrt{2.I_d.kn.\frac{W_{7,8}}{L}} \quad (5.11)$$

A polarização do LNA, ocorre através de uma fonte de corrente de 20 μA . Essa corrente percorre o caminho por um espelho de corrente inserido na entrada do circuito, como demonstra a Figura 50, além de existir uma tensão de polarização DC V_{bias} , calculada anteriormente pelo V_{gs} .

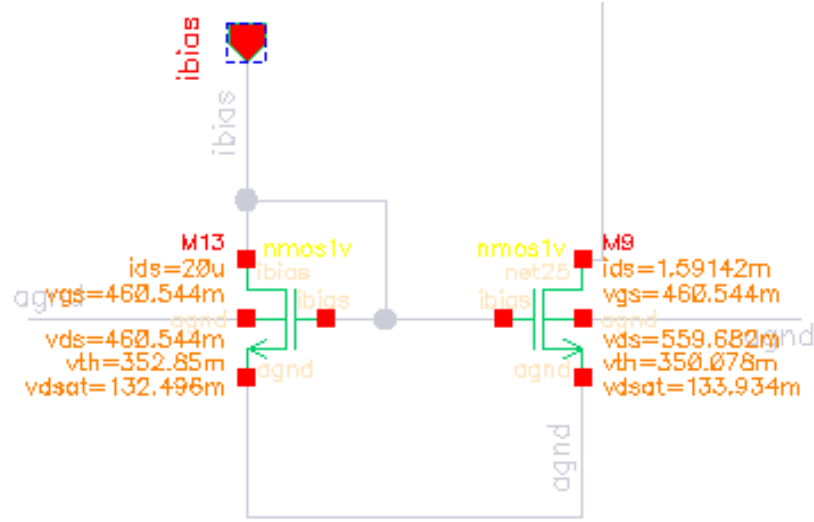


Figura 50 – Espelho de Corrente para Polarização LNA.

Logo, é informado que a corrente de polarização para atingir as especificações foi um pouco aquém da calculada, sendo 1.6 mA a corrente final. A equação do espelho de corrente é dada por:

$$\frac{I_{ds_o}}{I_{ds_{ref}}} = \frac{(W_o/L_o)}{(W_{ref}/L_{ref})} \quad (5.12)$$

Sendo, I_{ds_o} referente ao transistor de saída do espelho e $I_{ds_{ref}}$, o transistor de referência, da qual a corrente será copiada. Tal relação é possível, pois as tensões Gate-Source (V_{gs}), dos transistores envolvidos pelo espelho de corrente, são iguais. Portanto, para que a corrente aumente de 20 μ para 1.6 mA , foi necessário que a razão W/L do transistor de referência fosse 80 vezes menor que a do transistor M9.

A seguir, observam-se os parâmetros calculados para o LNA na tabela 7.

Tabela 7 – Valores Calculados para o LNA

Parâmetro	Valor	Unidade
Largura M_{1234}	378	μm
Corrente I_d	2.08	mA
Tensão de Polarização V_{gs}	0.35	V
Transcondutância (g_m) de M_{in}	85	mS
Frequência de ganho unitário (ωt)	294.42	$G_{rad/s}^{rad}$
Capacitância parasita de entrada (C_{gs})	0.289	pF
Indutor de degeneração (L_s)	0.17	nH
Indutor de gate (L_g)	57.69	nH
Indutor de saída (L_d)	4.40	nH
Resistência de saída (R_d)	6.6	Ω
Corrente I_d	2.08	mA
Largura M_{79}	220	μm

O testbench do circuito é demonstrado na Figura 82, pela qual, retiram-se os resultados relacionados a casamento de impedância, ganho e o NF (figura de ruído), que são as figuras de mérito mais importantes para o LNA deste projeto.

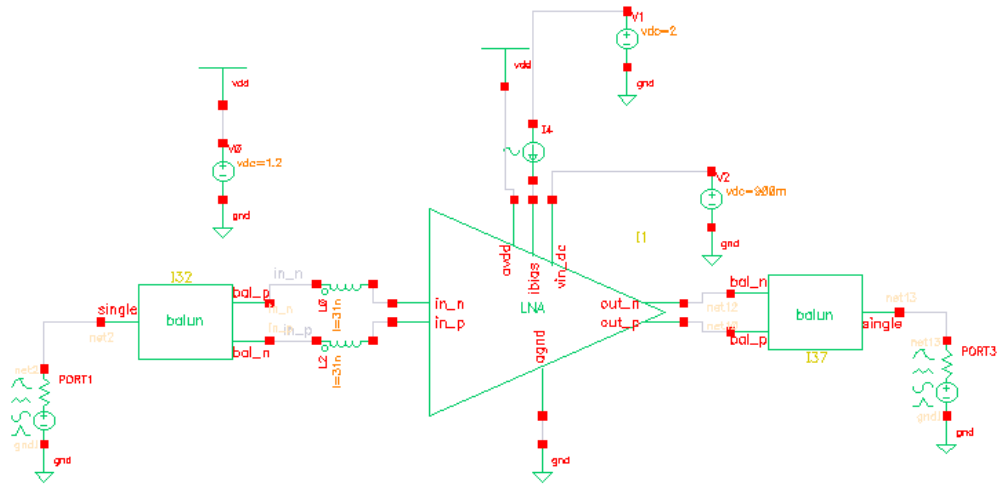


Figura 51 – Testbench LNA.

De forma a verificar o casamento na entrada e na saída do LNA, observam-se os parâmetros $S_{11} = -38dB$ e $S_{22} = -16dB$, respectivamente. Um LNA com bom casamento apresenta os resultados para S_{11} e S_{22} menores que $-14dB$. Ademais, o parâmetro S_{21} , referente ao ganho do circuito, de aproximadamente $25dB$, também pode ser observado na mesma Figura 52. Todos os parâmetros citados são visualizados na frequência de operação especificada.

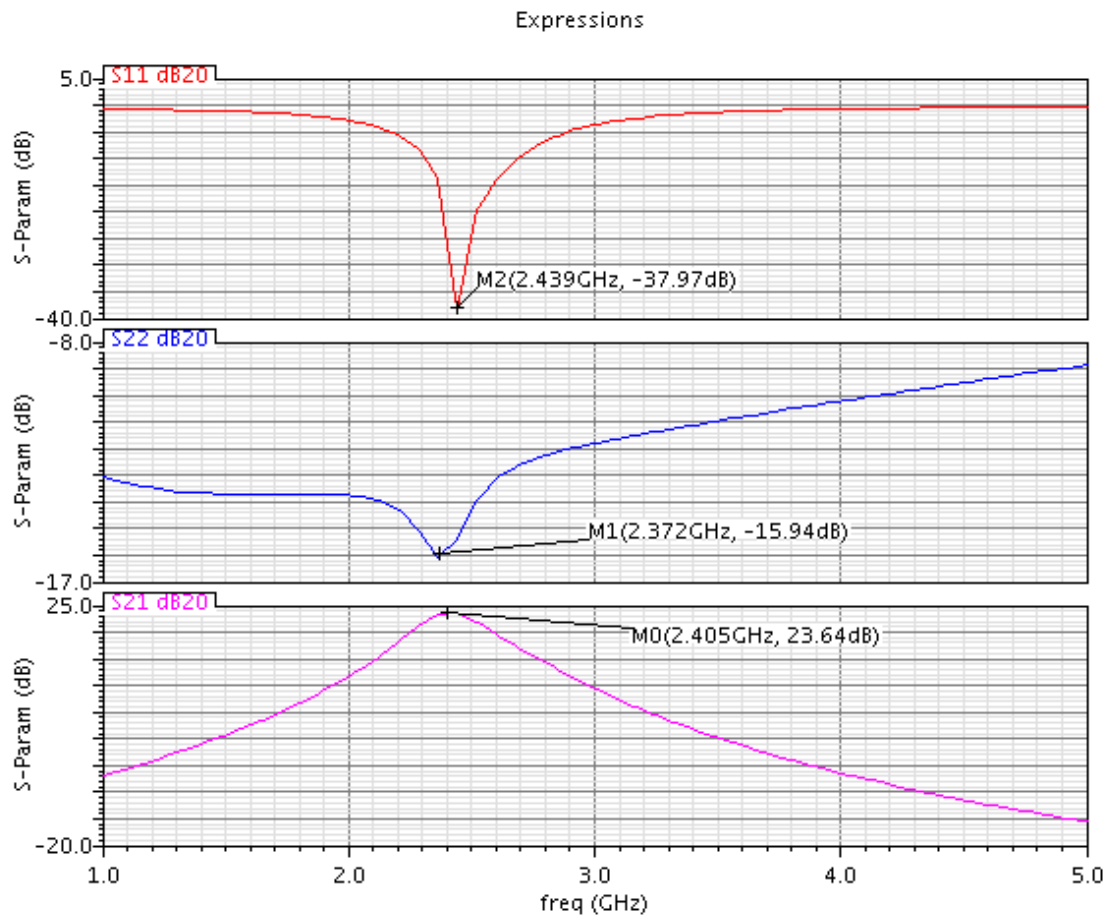


Figura 52 – Parâmetros de Espalhamento (S) LNA Diferencial.

Ademais, simulou-se a figura de ruído, obtendo-se os resultado presente na Figura 53. A figura de ruído fica centrada em 1.868 dB em 2.4 GHz , considerando que o LNA resultou em um alto ganho de aproximadamente 24 dB , minimizando o acréscimo da figura de ruído total devido à blocos cascadeados no receptor, pois como dito antes, o LNA é o bloco de maior peso na fórmula de Friss. Ainda, a degeneração indutiva no source corrobora na diminuição da figura de ruído do LNA.

Por fim, através de uma análise dc, a corrente total presente no LNA foi de 5.05 mA , multiplicando isso pela fonte de 1.2V , implica-se em uma potência de 6.06 mW .

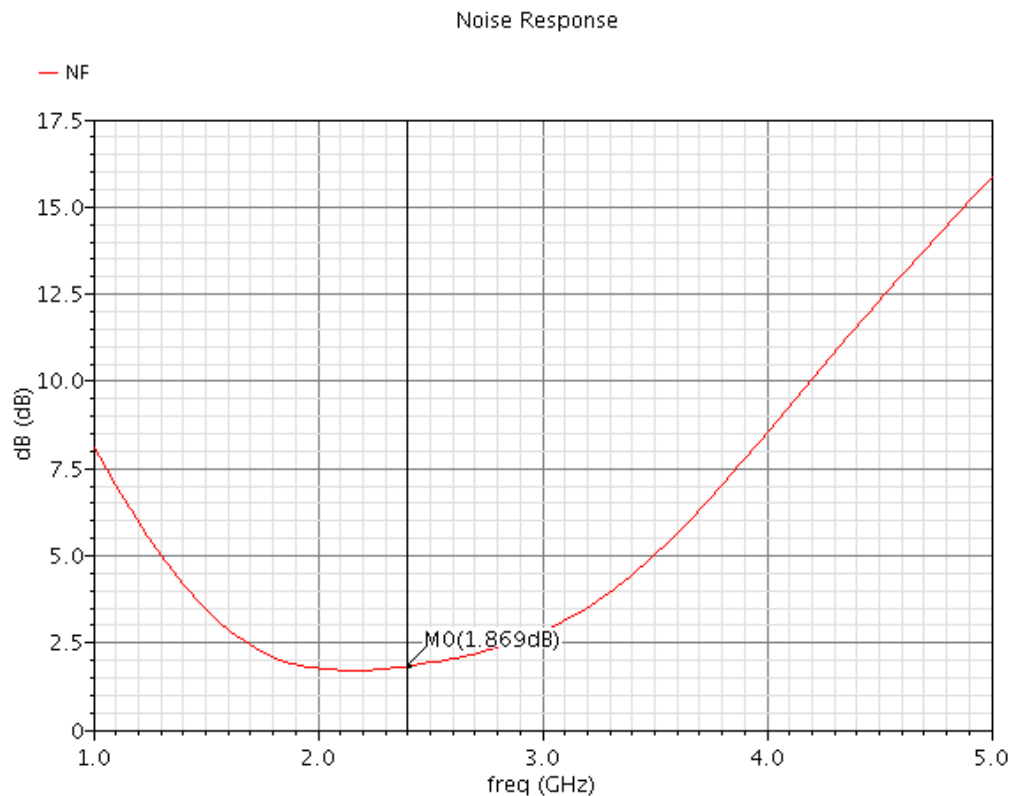


Figura 53 – Figura de Ruído LNA.

Os dados obtidos através de simulação para o LNA podem ser acompanhados pela tabela 8. Para validação do receptor, antes da utilização do LNA projetado, utiliza-se de um modelo em Verilog-A de uma fonte de tensão controlada por tensão, apenas para simular o ganho do circuito LNA. O modelo pode ser acompanhado no Apêndice B.1.

Tabela 8 – Resultados obtidos LNA

Especificações	Valor	Unidade
Tecnologia	0.13	<i>um</i>
Tensão de Alimentação	1.2	V
Faixa de Operação	2.4 - 2.5	GHz
Potência Dissipada	6.06	mW
Figura de Ruído	1.868	dB
Ganho de Conversão	23.64	dB

5.2.4 Simulações do Filtro Passa-Baixa Receptor

O filtro passa-baixa presente no receptor Zigbee, foi projetado em Verilog-A, no Apêndice B.2, para uma frequência de corte de 5 MHz, sendo que uma frequência de corte em 2MHz já seria o suficiente, considerando que o Zigbee possui a largura do canal de aproximadamente 2MHz restando ainda 1.5MHz de distância do próximo canal. O

modelo do filtro é um Butterworth, seguindo a topologia Sallen-Key de segunda ordem, como pode ser visto na Figura 54.

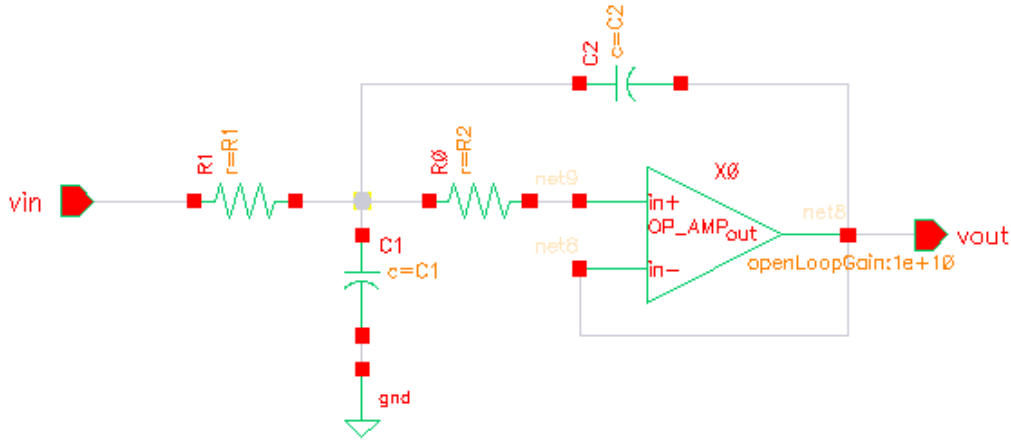


Figura 54 – Topologia Butterworth 2ª Ordem.

A função de transferência do filtro, utilizada com finalidade de projetar o filtro em Verilog-A é dada por:

$$G(s) = \frac{9.1827365E^{14}}{s^2 + 60606060.60606s + 9.1827365E^{14}} \quad (5.13)$$

Uma das formas de se conseguir a função de transferência é pelo Matlab, utilizando a função "butter", como aponta Regina em sua tese [50]. Ainda, o testbench do filtro pode ser acompanhado pela Figura 55.

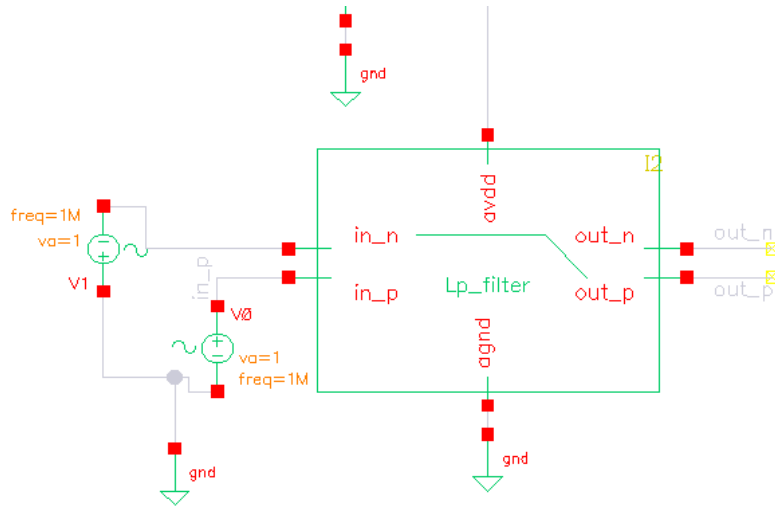


Figura 55 – Testbench Filtro Passa-Baixa.

No resultado de simulação AC, visto na Figura 59, é possível ver que a frequência de corte do projeto em Verilog-A caiu para 3.093 MHz, acompanhada pelo ponto -3 dB, o que não afeta os resultados de projeto negativamente, e que o ganho do filtro é unitário, sendo que normalmente há algumas perdas no filtro.

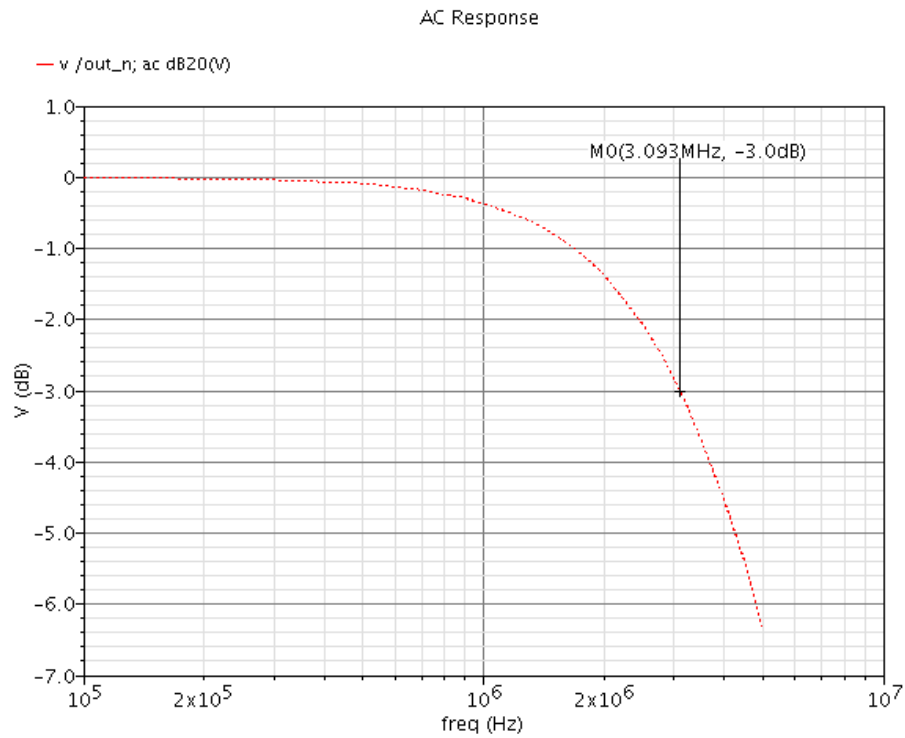


Figura 56 – Resultado AC Filtro Passa-Baixa do Receptor.

5.2.5 Simulações Amplificador de Ganho Programável

O PGA é parte fundamental no Zigbee, sendo que o mesmo controla o ganho de sinal. Há situações em que se deseja um ganho de sinal maior ou menor, dependendo de interferências, posicionamento e distância, sendo o PGA responsável por entregar um sinal de qualidade de acordo com a situação. O PGA foi codificado em Verilog-A para a realização dos testes, como demonstrado no Anexo C. O testbench é visualizado pela Figura 57.

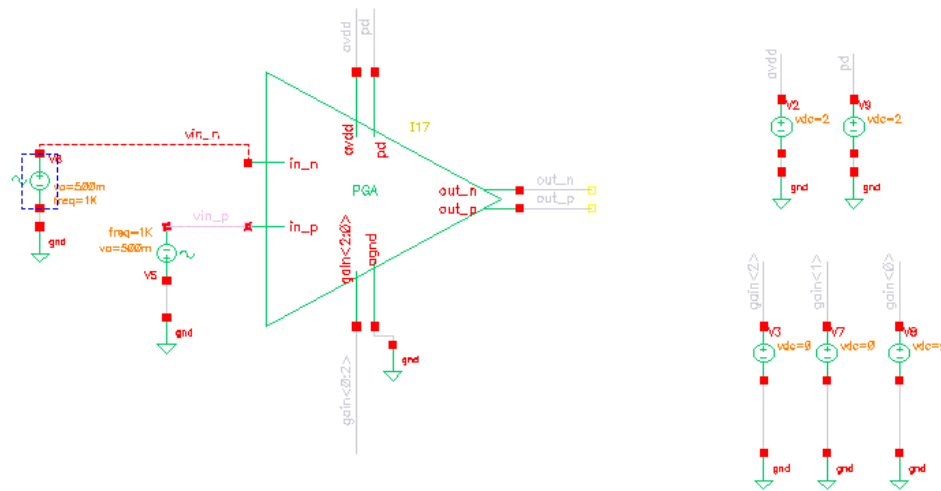


Figura 57 – Testbench PGA.

O resultado do ganho máximo pode ser observado em (Fig.58) para controle de

ganho, sendo "111" o máximo ganho e "000" o mínimo, considerando que o PGA tem 3 bits na palavra para controle de ganho.

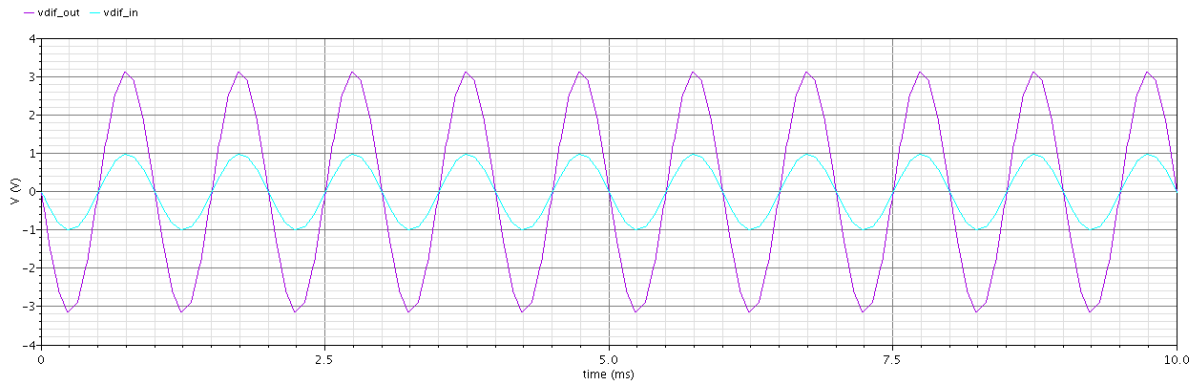


Figura 58 – Resultado PGA - controle "111".

De acordo com o resultado de simulação, o ganho máximo linear do sinal é de aproximadamente 3.2, em comparação com a palavra de controle em estado "001", que tem ganho linear de aproximadamente 1.8, observado no Anexo D.

5.2.6 Simulações Filtro Passa-Baixa Transmissor

O filtro passa-baixa presente no transmissor Zigbee, foi projetado em Verilog-A para uma frequência de corte de 13 MHz, sendo uma frequência de corte em 10MHz já seria o suficiente para transmissão. O modelo do filtro descrito pelo código é um Butterworth de segunda ordem, seguindo a mesma topologia vista na Figura 54.

A função de transferência do filtro, utilizada com finalidade de projetar o filtro em Verilog-A é dada por:

$$G(s) = \frac{1.48721E^{16}}{s^2 + 243902439.02439s + 1.48721E^{16}} \quad (5.14)$$

No Cadence, a implementação do filtro em Verilog-A pode ser acompanhada nos Anexos. O testbench do filtro é realizado de acordo com a Figura 55 como visto anteriormente, e o resultado de simulação AC é visualizado 59. No resultado de simulação AC, é possível ver que a frequência do projeto em Verilog-A caiu para 12.46 MHz, não afetando os resultados de projeto negativamente.

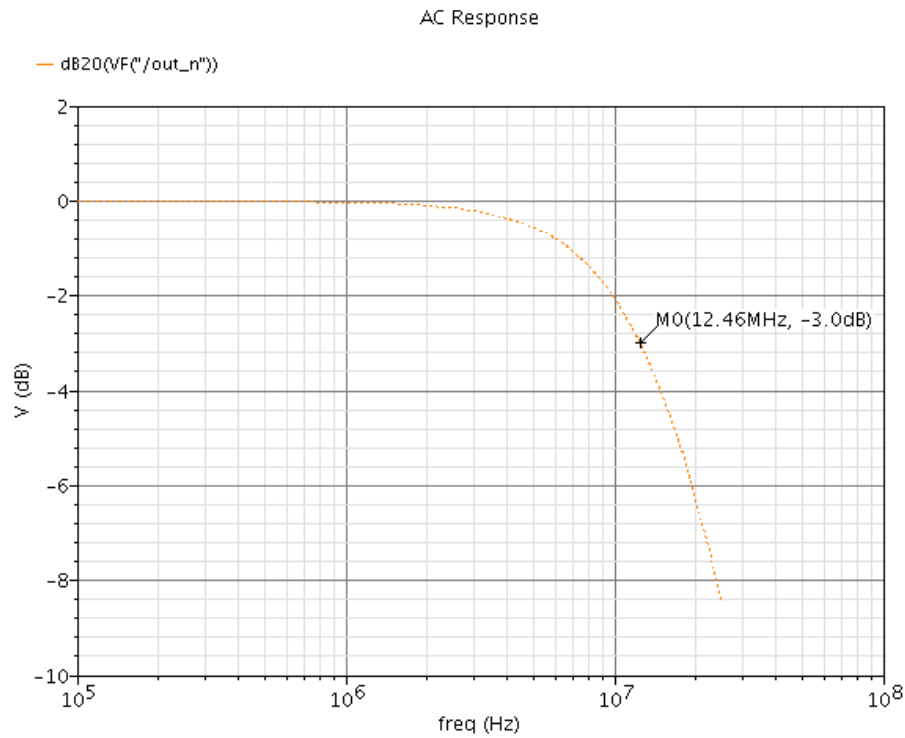


Figura 59 – Resultado AC Filtro Passa-Baixa do Transmissor.

5.2.7 Amplificador de Potência

O PA é um bloco de importância no transmissor, sendo o mesmo responsável por atribuir um ganho de potência ao sinal a ser transmitido pela antena, para que tal sinal percorra o caminho através do ar e seja recepcionado com a potência necessária no módulo de recepção. Geralmente, uma série de caracterizações são realizadas no PA analógico a nível de CMOS, como ganho, casamento de impedância na entrada e saída, estabilidade, PAE (power added efficiency) referente ao tanto que a potência do sinal de entrada DC contribui para a amplificação. Contudo, o PA em CMOS não é o foco, podendo até se tratar de uma implementação futura para o projeto. Neste projeto, o PA foi modelado em Verilog-A, apenas para fornecer ganho para o sinal na transmissão, como pode ser acompanhado no Apêndice B.5, Figura 86, na qual é possível determinar um certo ganho de sinal para o bloco com o casamento de impedâncias realizado, como realizado na própria modelagem do LNA em Verilog-A.

6 Resultados

Neste capítulo são apresentados os resultados da construção do transceptor Zigbee, considerando que os blocos que constituem o Zigbee foram definidos individualmente e muito se falou sobre as figuras de mérito e constituição do transceptor nos capítulos anteriores a este.

O intuito é realizar simulações de forma a validar a recepção e transmissão, em um modelo completo de transceptor e banda-base. Para a recepção, primeiro, é simulada de forma que apenas o Mixer Downconverter esteja em nível de transistor CNTFET, os blocos FPB, PGA e LNA estão em Verilog-A, sendo o modelo do LNA, apenas uma fonte de tensão controlada por tensão, como observado no Apêndice B.3, Figura 82. Em seguida, simula-se de forma que o LNA esteja em nível de transistor CMOS, de acordo com o proposto. Já para o bloco de transmissão, realizam-se as simulações em transiente com Mixer Upconverter em nível CNTFET e demais blocos (PA e FPB) em Verilog-A, uma simulação de ganho de conversão do Zigbee pelo QPSS (Quasi Periodic Steady State) para checar o funcionamento do transmissor na componente de frequência desejada de 2.4 GHz.

Após a realização das simulações individuais e verificação, o transmissor e receptor são simulados em conjunto considerando perdas no ar, ainda, ambos são avaliados contendo impurezas no CNTFET e se acarreta no não funcionamento do transceptor.

6.1 Validação do Receptor

De forma a validar o receptor, simula-se o Zigbee com apenas o Mixer em CNTFET, e demais blocos em Verilog-A. A célula formada pelo receptor pode ser observada na Figura 60 e pela vista config do Cadence, alterna-se o LNA entre Verilog A e esquemático.

O tesbench, na Figura 61, contém as tensões e correntes de polarização para o LNA, tensão para controle de ganho do PGA, e tensão simulada de oscilador local para entrada do Mixer Downconverter.

Ao simular o circuito, alternando entre as vistas do LNA pelo config, constata-se que as simulações deram o mesmo resultado. Considerando que o ganho do LNA deve ser aproximadamente 20 dB, coloca-se um ganho linear de 10 no bloco em Verilog-A para comprovar o funcionamento do receptor. A saída apresenta algumas não-linearidades devido ao bloco em CNTFET, mas todos os blocos se comportam como deveriam, o LNA tem um bom desempenho no circuito juntamente com o mixer, que pode ser mais refinado ainda para evitar muitos problemas com a linearidade. O filtro presente no receptor, possui

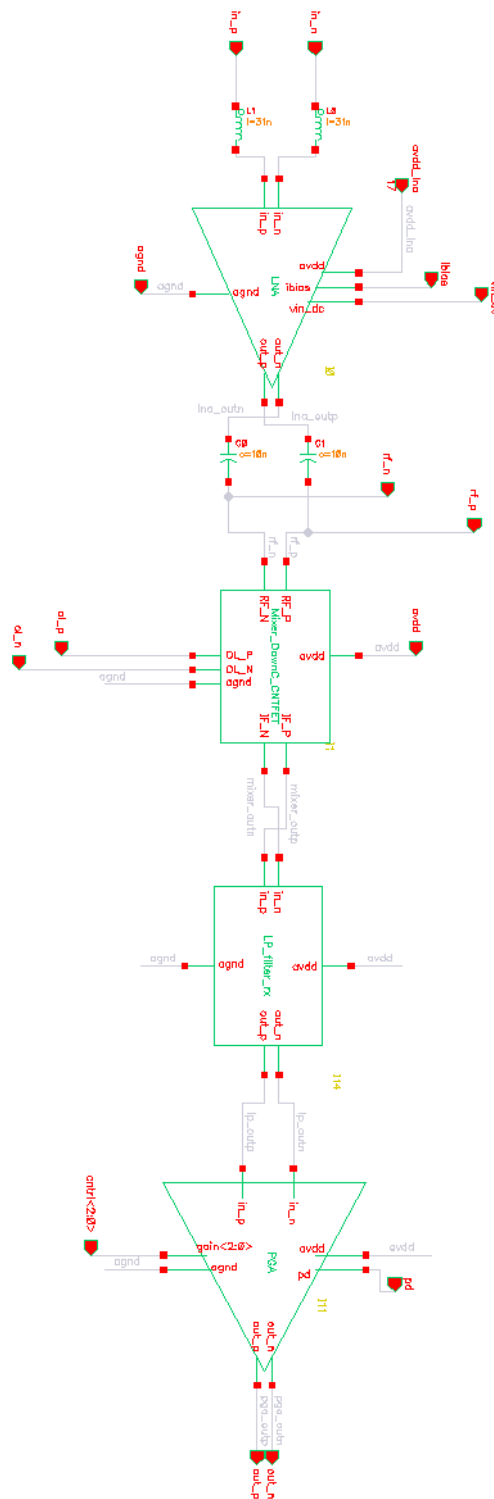


Figura 60 – Esquemático Receptor Zigbee.

algumas perdas na prática, mas nada que possa afetar de forma significativa na saída mixer, e o ganho deve ser regulado pelo PGA.

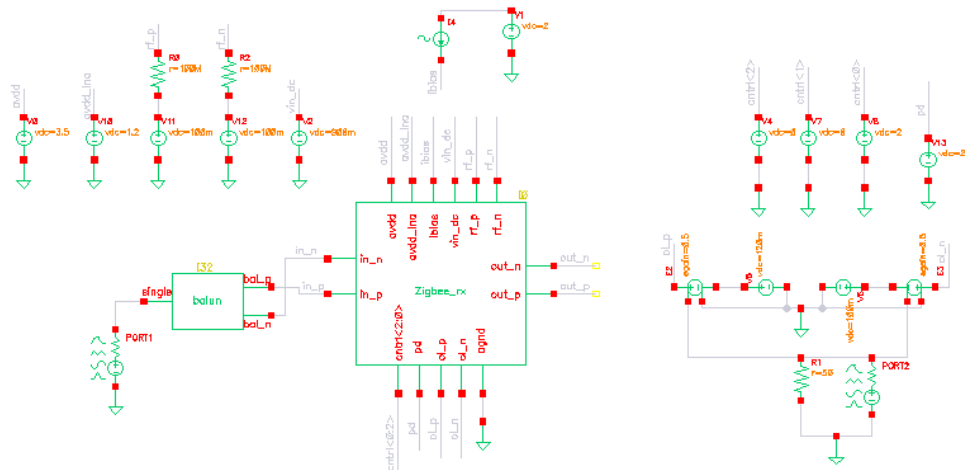


Figura 61 – Testbench Receptor Zigbee.

O resultado pode ser visualizado através da Figura 62, onde a tensão de saída é de 1.8V com o controle de ganho do PGA em 001. De acordo com o resultado de simulação, é possível ver que a frequência do sinal de entrada, definido em 2.4 GHz e 10 mV_{pp} , ao passar pelo mixer, sua frequência é reduzida e depois filtrada.

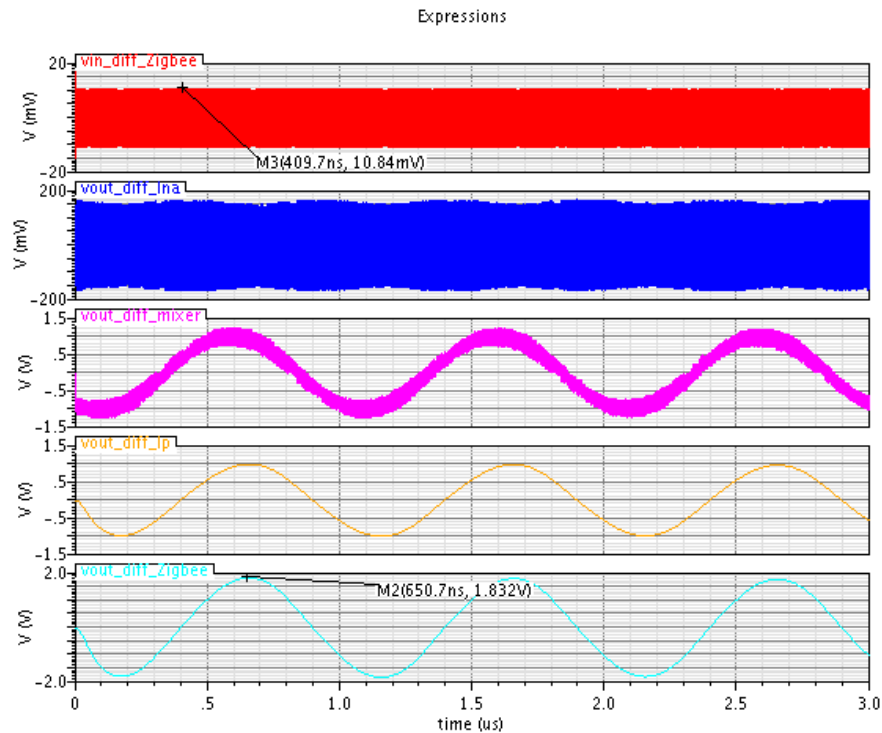


Figura 62 – Simulação Receptor Zigbee.

Observa-se no Apêndice A.2 a saída com ganho máximo.

6.2 Validação do Transmissor

A cadeia de transmissão tem como finalidade tratar um sinal pequeno, inserindo ganho, potência e trasladando sua frequência, de maneira que o sinal possa ser transmitido com força suficiente para que a recepção seja capaz de identificá-lo sem perdas, tratá-lo e extrair a informação ali contida. A simulação é realizada para validar a metodologia de modelagem desenvolvida, mostrando a comunicação entre os blocos incluídos. O processo de validação do transmissor foi, primeiramente, simular o Zigbee com filtro passa-baixa (em Verilog- A), mixer (CNTFET) e PA (em Verilog-A), checando se ocorre modulação e amplificação no formato da onda de saída e após isso, em uma simulação qps, confere-se a existência de uma componente na frequência de 2.4 GHz. O esquemático do transmissor é apresentado na Figura 63.

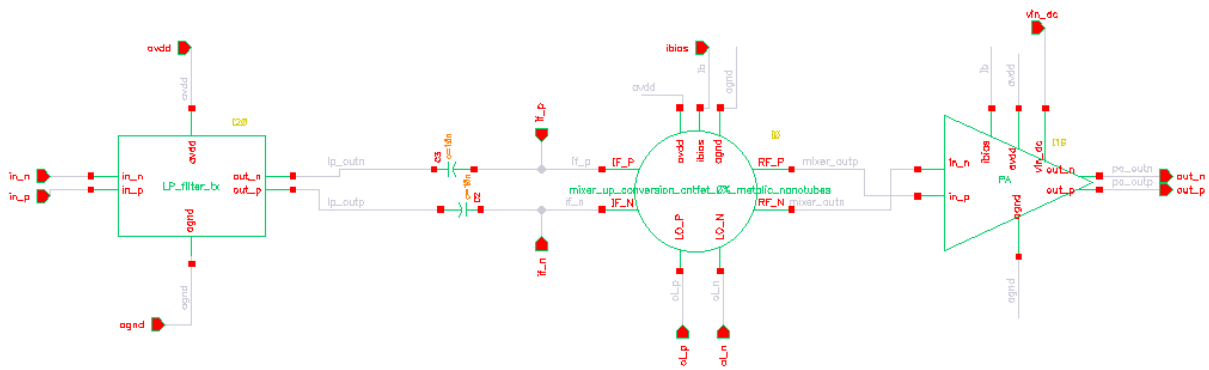


Figura 63 – Esquemático Receptor Zigbee.

O tesbench, visto na Figura 66, contém as tensões e correntes de polarização para do mixer, tensões e frequência para oscilador local utilizadas nas simulações do mixer.

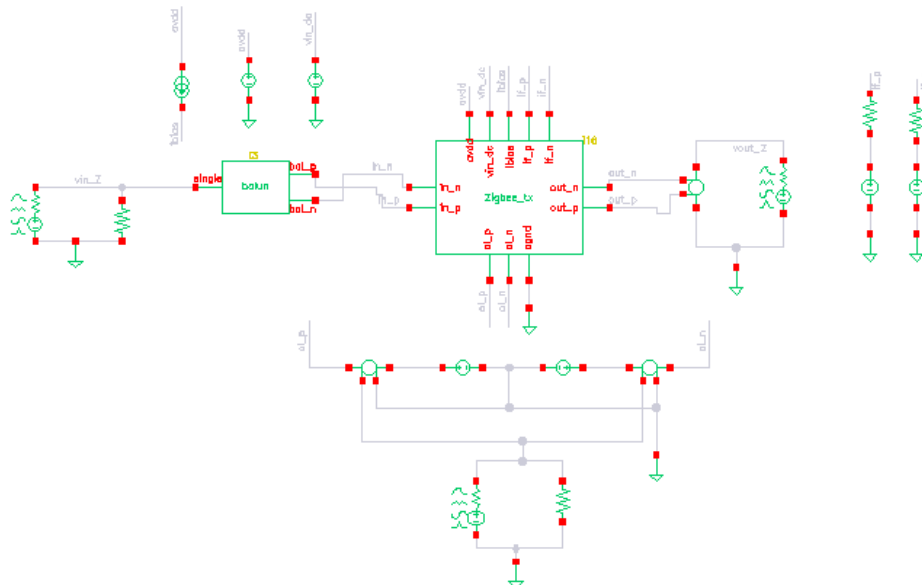


Figura 64 – Testbench Transmissor Zigbee.

Ao simular o circuito, de forma transiente, constatou-se que a saída modela um formato de onda esperado para o transmissor. Também é possível ver os formatos de ondas de blocos intermediários através da Figura 65.

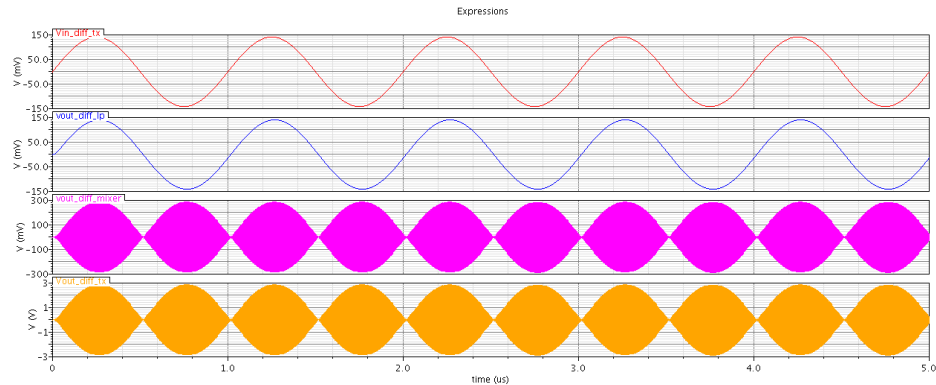


Figura 65 – Simulação Transiente Transmissor Zigbee.

Enfim, a validação do módulo transmissor Zigbee finaliza com a simulação de ganho por pss e pac, simulação essa relacionada ao próprio mixer de upconversion, situado no módulo de transmissão, que já foi mostrada na caracterização do mixer. Porém, agora a simulação é aplicada nas entradas e saídas do transmissor, e o resultado obtido pode ser analisado na Figura 66.

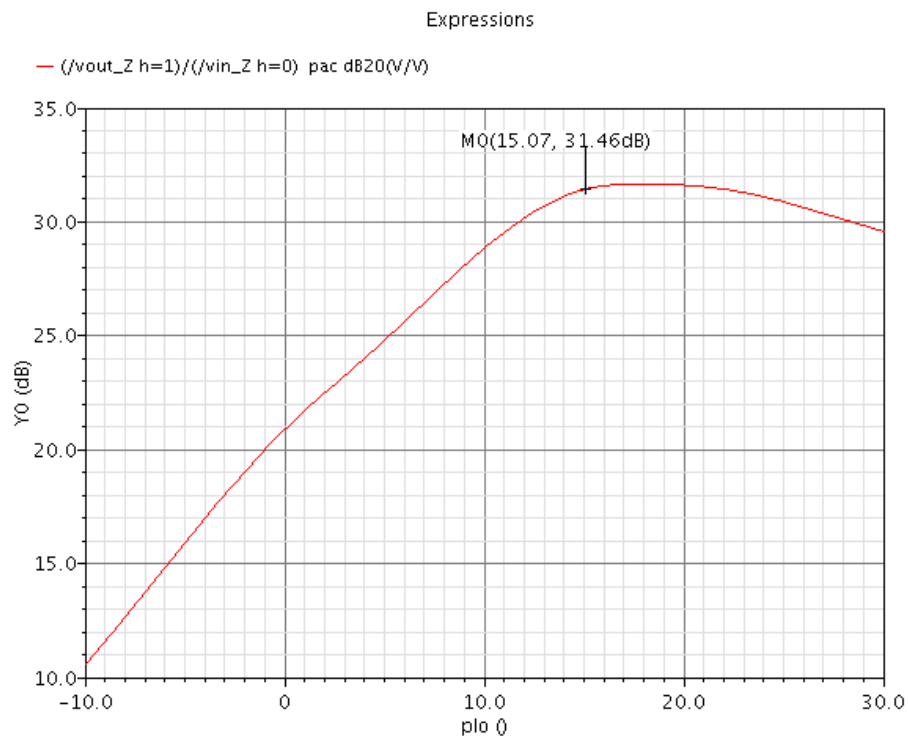


Figura 66 – Simulação PSS/PAC Transmissor Zigbee.

A simulação mostra que houve batimentos na frequência de 2.4 GHz e que o ganho máximo da cadeia é 31.46 dB, sendo que o mixer upconverter com ganho máximo de 11.46

dB e o PA com 20 dB em Verilog-A.

6.3 Transceptor

Todas as simulações realizadas envolvendo o transceptor completo, incluem o LNA em CMOS, como observado pela vista config no Apêndice C, Figura 87. Ainda, é visto que todos os circuitos no ZigBee são diferenciais, isso pois o circuito diferencial melhora a estabilidade, a imunidade a ruídos, provoca melhora no PSRR, e no caso do LNA, um ganho maior ainda devido a topologia cascode diferencial no primeiro estágio.

Devido a tanto o transmissor, quanto o receptor, terem sido validados nas simulações anteriores, simula-se de forma transiente, a interação entre o módulo transceptor, onde um sinal de 1 MHz é inserido no transmissor, sendo então enviado ao receptor, passando por um bloco em Verilog-A, que simula as atenuações do sinal no ar em decorrência da distância entre os módulos. O testbench incluindo os três blocos em questão pode ser observado na Figura 67.

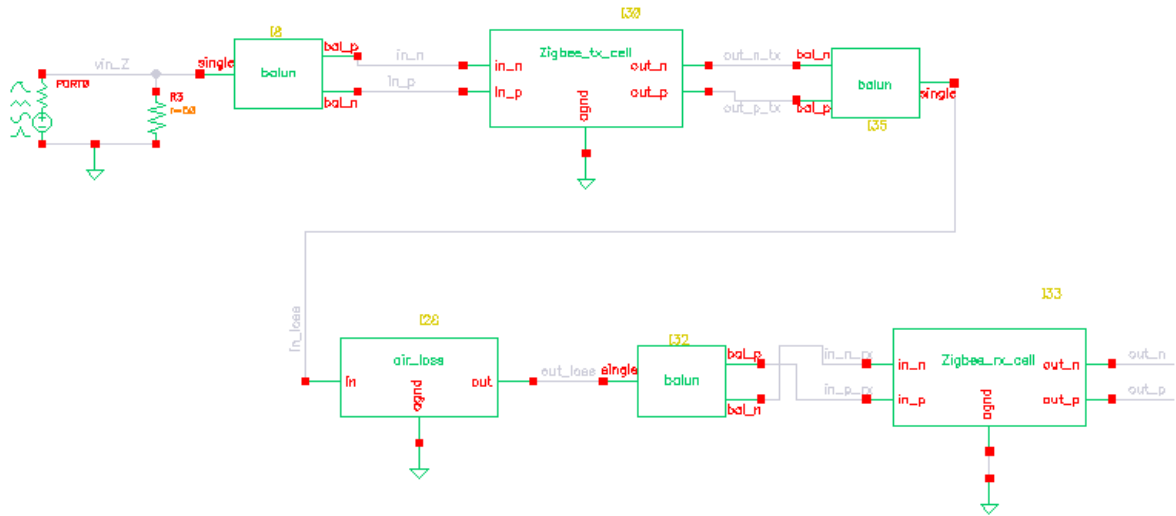


Figura 67 – Testbench Transceptor Zigbee.

É desejado que a entrada do transmissor tenha $1.2 V_{pp}$, a saída do transmissor tenha aproximadamente uma tensão de $2.4 V_{pp}$. Ainda, é interessante que o receptor seja capaz de produzir a mesma entrada do transmissor em sua saída, de $1.2 V_{pp}$, a fim de atender as especificações de tensão. Para isso, aumentou-se a potência do sinal de entrada em comparação as relações anteriores, até a tensão de entrada estar em $1.2 V_{pp}$, o que ocasionou na saturação do mixer. Portanto, adicionou-se um amplificador, acompanhado pela Figura 68, em Verilog-A para atenuar o sinal de entrada e manter as condições de linearidade do mixer, também regulou-se o ganho dentro da cadeia de transmissão.

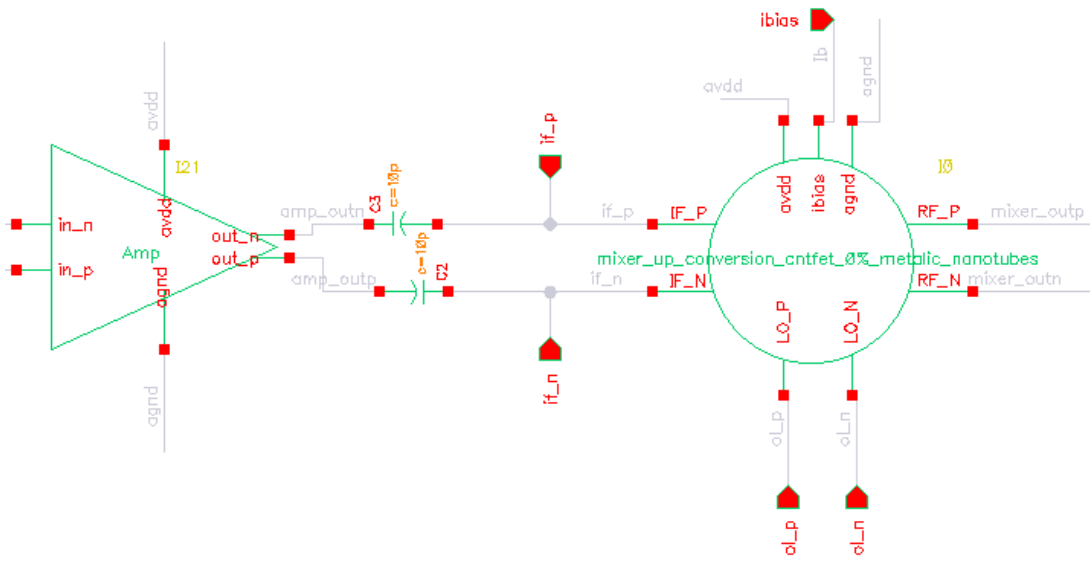


Figura 68 – Amplificador para Atenuação.

Como observado no Apêndice A.3, nas figuras 78 e 79, a tensão de saída do transmissor é alta e em aproximadamente $12 V_{pp}$, sendo necessários ajustes no ganho da cadeia, e através do Apêndice A.3, também é possível acompanhar o resultado de todos os blocos do transceptor. Contudo, é preciso cautela ao reduzir o ganho do PA, pois o sinal de saída do transmissor, que ainda é atenuado pelo ar, pode gerar irregularidades na onda de saída, caso a distância entre transmissor e receptor não sejam reguladas também (reguladas no bloco air loss da Figura 67).

Após os ajustes necessários, o resultado final da simulação, em transiente, do transceptor pode ser analisado na Figura 69.

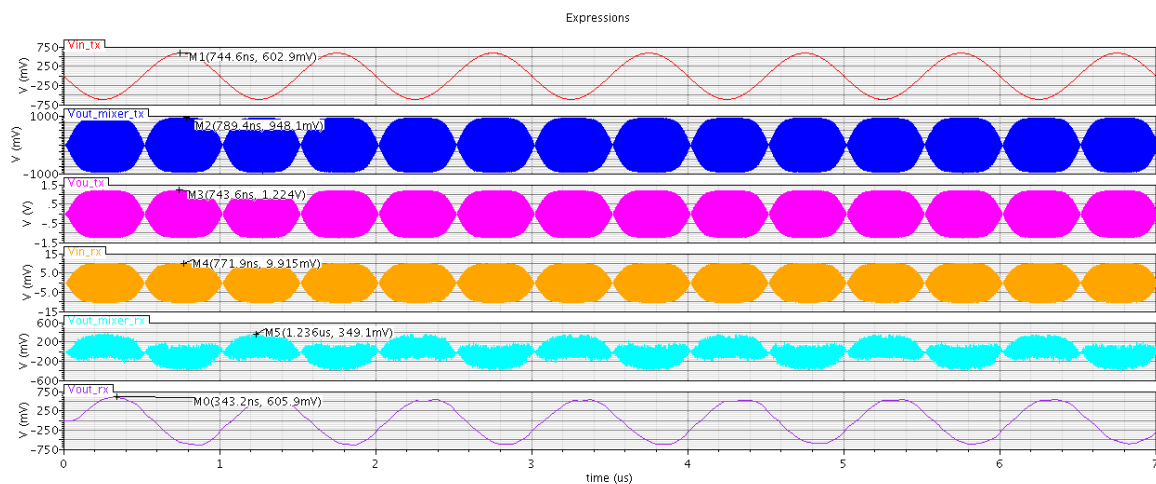


Figura 69 – Simulação Transiente Transceptor

A Figura 69 mostra que o transceptor atende os requisitos de tensão e que o formato de onda é o esperado, sendo realizado tanto a modulação, quanto a demodulação do sinal. Optou-se por mostrar apenas as formas de onda de entrada e saída do transmissor

e receptor, além dos mixers funcionando em cada um, omitindo os demais blocos a fim de deixar a simulação mais limpa. Ainda, é possível perceber a perda simulada pelo ar da saída do tx para o rx.

Com o objetivo de apresentar os outros sinais gerados por blocos intermediários desde a entrada do sinal no transmissor até a entrada do sinal no bloco que simula a perda no ar, acompanha-se a Figura 70.

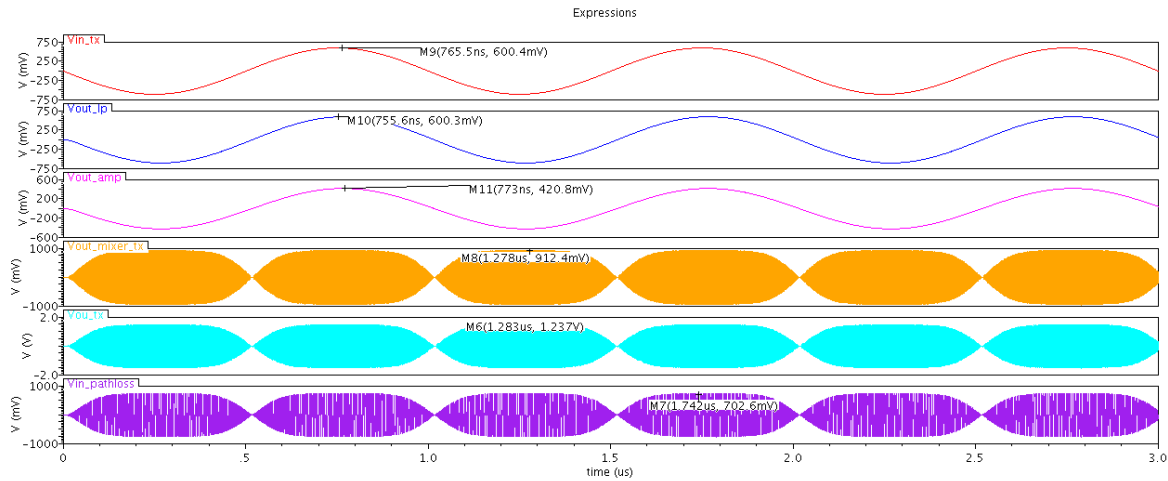


Figura 70 – Simulação do Transceptor com Blocos Intermediários de Transmissão

Também, com a finalidade de apresentar os outros sinais gerados por blocos intermediários desde a atenuação do sinal no ar até a entrada do sinal no receptor, acompanha-se a Figura 71.

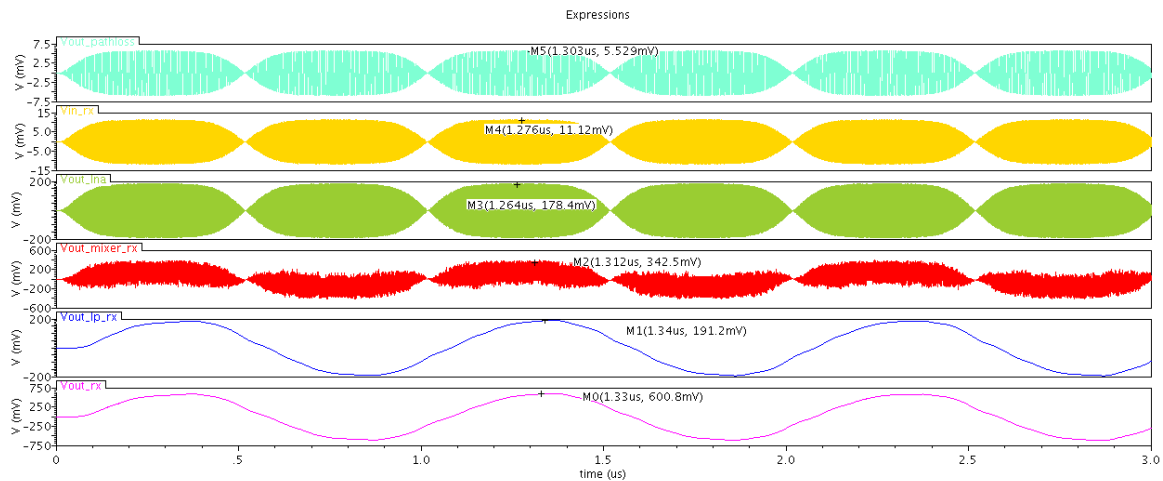


Figura 71 – Simulação do Transceptor com Blocos Intermediários de Recepção.

6.4 Transceptor com Impurezas no CNTFET

Até o momento, o transceptor funciona no caso do CNTFET com 0% de nanotubos metálicos, resta checar se uma pequena porcentagem de nanotubos metálicos compromete o funcionamento. De forma a verificar, optou-se por contaminar com 0.8% de impurezas, pode-se assim dizer. Afinal, é uma quantidade próxima à capacidade atual de pureza a qual um CNTFET pode ser fabricado.

Tendo em vista que a caracterização do Mixer Upconverter nessas condições, com presença de 0.8% de nanotubos metálicos, foi realizada por Lucas [41], fornecendo a seguinte tabela 9, referente às especificações obtidas. Ademais, a caracterização do Mixer Downconverter, nas mesmas condições, já foi realizada por Helton [40], que fornece a seguinte tabela 10.

Tabela 9 – Resultados Mixer Upconverter 0.8%

Especificações	Valor	Unidade
Tecnologia	-	<i>um</i>
Potência Dissipada	7.45	mW
Ganho de Conversão	8	dB
IP1dB	-1.01	dBm

Fonte: Adaptado de [41].

Tabela 10 – Resultados Mixer Downconverter 0.8%

Especificações	Valor	Unidade
Tecnologia	-	<i>um</i>
Potência Dissipada	-	mW
Ganho de Conversão	5.34	dB
IP1dB	-6.36	dBm

Fonte: Adaptado de [40].

Então, visualiza-se, na Figura 72, a simulação transiente do receptor com esse mixer downconverter 0.8% e potência local de 5 dBm. Pode-se inferir que o transiente no receptor se mantém funcional.

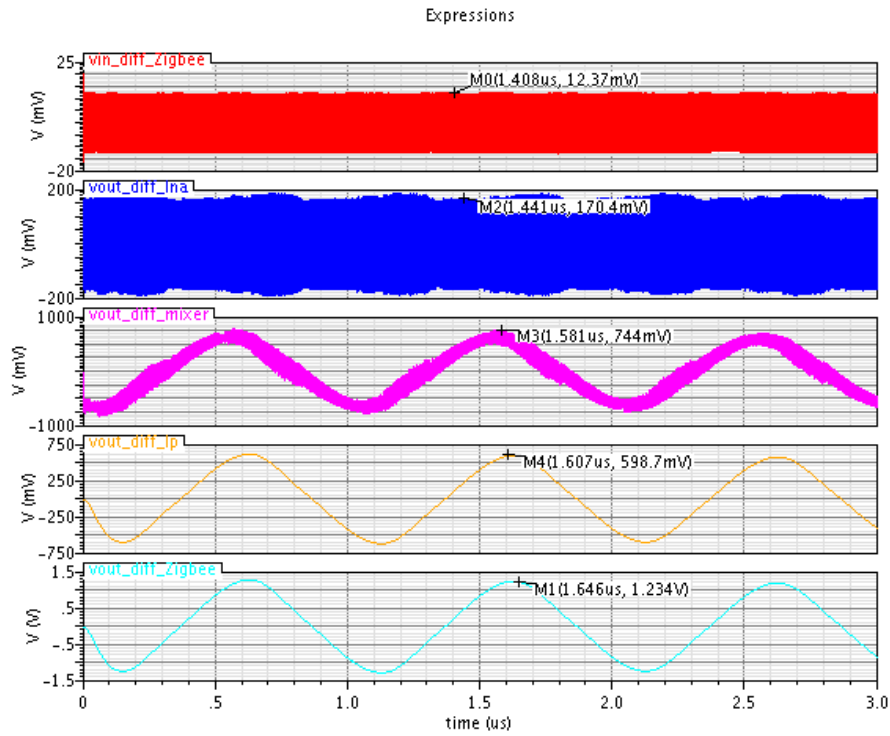


Figura 72 – Simulação Transiente Zigbee Rx com 0.8% de Nanotubos Metálicos nos Mixers.

Também, observando o resultado do transmissor, simulado separadamente, têm-se a Figura 73, inferindo um ganho menor na cadeia de transmissão, por 3 dB, com relação ao transmissor com 0% de nanotubos metálicos. O que não interfere, já que o ganho da cadeia de transmissão não precisa ser excessivamente alto.

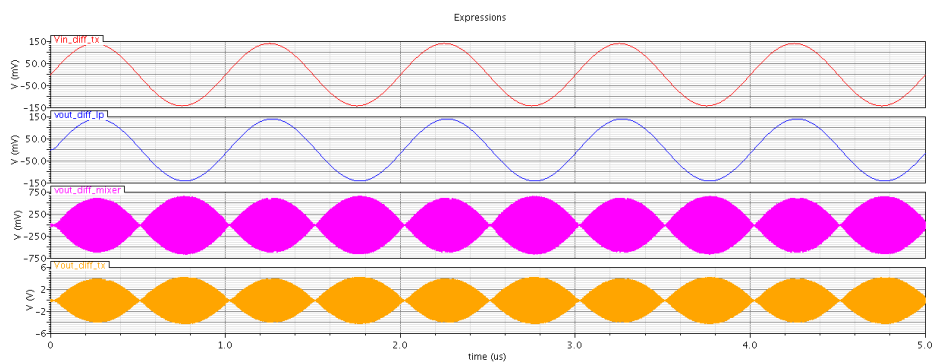


Figura 73 – Simulação Transiente Zigbee Tx com 0.8% de Nanotubos Metálicos nos Mixers.

Além disso, realizou-se novamente a simulação pac e pss para avaliar o batimento da frequência de saída em 2.4 GHz, como demonstrado pela Figura 74, onde percebe-se redução a no sinal de saída.

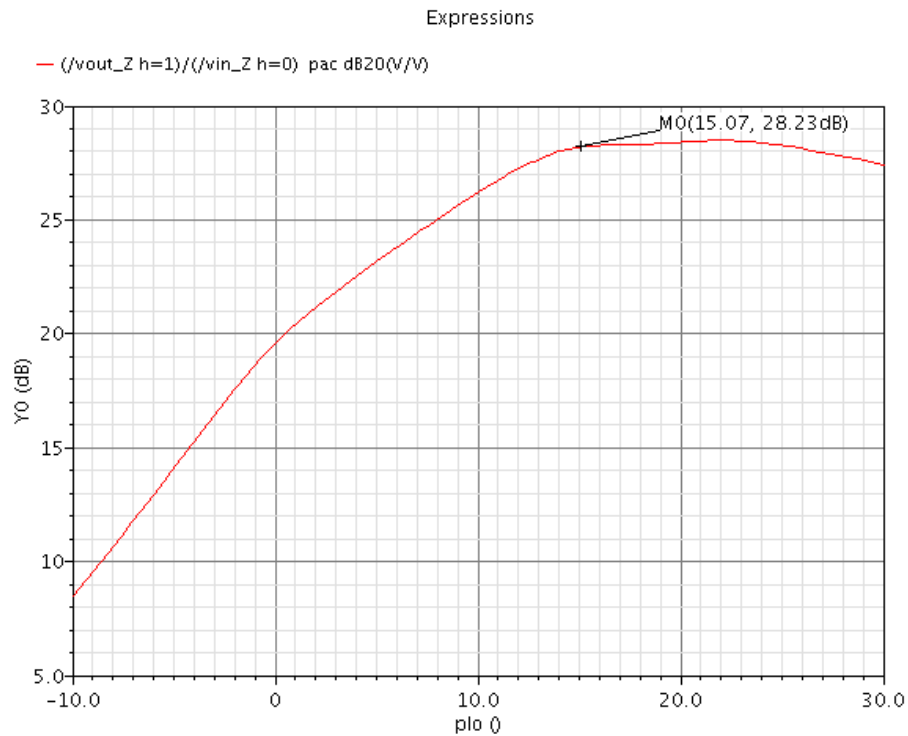


Figura 74 – Simulação para Avaliar Componente de Frequência.

As especificações, de ambos os mixers, são prejudicadas em relação as obtidas sem nanotubo metálico algum, interferindo tanto na linearidade, quanto no ganho. Ainda, existem ajustes que podem ser realizados para adequar os mixers no projeto, como aumentar ou diminuir a potência do oscilador local minimamente e ajustar o ganho dos blocos adjacentes, como PA e PGA, além de alterar a distância entre transmissor e receptor. Por fim, avaliou-se o transceptor inteiro nas condições trabalhadas durante a seção, ajustando a potência do oscilador local e a distância entre os blocos receptor e transmissor, também regulando o ganho no PGA, é possível concluir que as especificações de tensão são cumpridas da mesma forma através da Figura 75, onde, vê-se ,também, as perdas pelo ar.

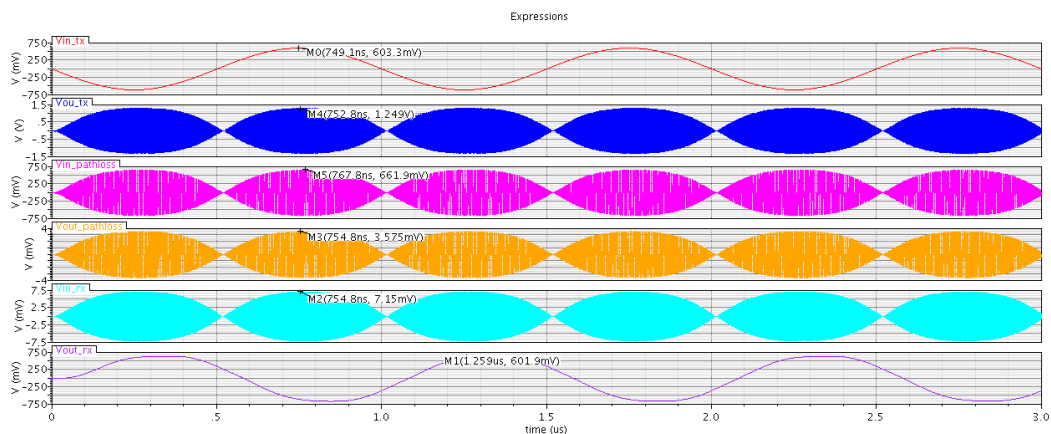


Figura 75 – Simulação Transiente do Transceptor Zigbee com 0.8% de CNT metálicos.

7 Conclusão

O protocolo Zigbee é fundamental para tecnologias com aplicações wireless e permitiu um maior avanço em aplicabilidades em Internet das Coisas. O baixo consumo, baixa transferência de dados, baixa latência, interoperabilidade entre sistemas, são fatores que favorecem a solidificação do padrão como um dos mais importantes. Percebe-se com o andar do projeto, que viabilizar o projeto do transceptor em CNTFET, acarreta em melhoria do desempenho dos componentes do circuito, também, preocupando-se com o espaço que o circuito ocupa dentro do chip.

O MOSFET, que é um dispositivo com aplicações em diversas áreas da eletrônica, já está, há um tempo, de frente para seu maior obstáculo, que impede a diminuição do tamanho do canal para tamanhos menores que 10 nm. O CNTFET já se prova o melhor substituto em diversos estudos. Entretanto, observou-se que não é tão trivial trabalhar com o CNTFET, isso devido aos passos de projeto não estarem definidos como em projetos utilizando MOSFET. As derivadas para se obter transcondutâncias, entre outros parâmetros, se originam de expressões grandes, complexas, o que acaba levando os projetistas a recorrerem à análises gráficas e teóricas. Consequentemente, é mais complicado chegar no marco de resultado esperado nas especificações.

Além disso, a fabricação do CNTFET altera muito as características de projeto. Assim como ocorre no MOSFET, os projetos devem ser o mais invariantes o possível, em relação à processos. O canal do CNTFET é formado por nanotubos de Carbono entre fonte e dreno e pode conduzir bem mais corrente que o MOSFET, ainda mais pela característica multi-tubo, que permite mais tubos em paralelos, levando a maior condução de corrente. A característica multi-dedo aumenta a potência de saída, colocando mais células em paralelo. A porcentagem de nanotubos metálicos presentes no CNTFET, é o fator que mais altera o funcionamento do circuito. Aumentando este parâmetro, aumenta-se o número de conexões de nanotubos metálicos entre dreno e fonte, diminuindo assim o controle do transistor.

No que se refere a arquitetura do transceptor, os misturadores de frequência são de extrema importância para os sistemas de comunicação, sendo responsáveis pela translação dos sinais recebidos para baixas ou altas frequências. Sem eles, não se implementa transmissores ou receptores. A necessidade de modular um sinal ocorre devido a possibilidade de trabalhar com mais de um sinal, em um mesmo canal e ao mesmo tempo com a utilização frequências diferentes. Além disso, a modulação permite a utilização de antenas menores. De acordo com a busca pelos requisitos de operação seguindo o padrão Zigbee, que já é bem consolidado com MOSFETs, verificou-se os mixers em CNTFET,

validando-os individualmente. Através das simulações seguintes para os blocos em Verilog-A, incluindo as simulações do transmissor e do receptor, comprova-se funcionamento o funcionamento dos demais blocos, incluindo o projeto do LNA em MOSFET com objetivo de analisar se o transceptor funciona dessa forma.

Concluindo, o transceptor interagiu bem na presença do LNA em CMOS, de acordo com as simulações do receptor e do transceptor em geral. Logo, é possível projetar em cima dessas diferentes tecnologias sem afetar o resultado do módulo inteiro. Ainda, o transceptor apresentou as mesmas formas de onda, afetando apenas o ganho nas cadeias, quando impurezas foram acrescentadas no CNTFET, próximo a um nível de fabricação atual e nas condições impostas pelo projeto. Poderia não ser o caso se todos os blocos fossem projetados em CNTFET e contaminados com a mesma quantidade de impureza (0.8%). O modelo de transceptor projetado é completo, entretanto, melhorias possíveis constam na utilização do restante dos blocos em nível de transistor, de preferência CNTFET, para aprofundar o estudo e averiguar se o transceptor ainda se comportaria dentro das condições especificadas de frequência, tensão, integridade do sinal. Além de outras melhorias possíveis, como adicionar a carga ativa de CNTFET tipo p, que não foi inserido no circuito dos misturadores, unificar o modelo utilizado para as correntes dos misturadores, utilizando, ou corrente controlada por transistor através de tensão, ou espelho de corrente (já utilizada no upconverter [41]), também, é possível incluir fontes de tensão e corrente projetadas especificamente para circuitos integrados.

Referências

- 1 ACES, P. Projeto de um amplificador de baixo ruído e de um misturador de frequências para um transceptor zigbee (2.4ghz). 2016. Citado 7 vezes nas páginas 13, 58, 71, 72, 87, 88 e 89.
- 2 MEHL, E. L. Do transistor ao microprocessador. p. 1–17, 2013. Citado na página 20.
- 3 TIWARI, K.; KOTHARI, A. Design and implementation of rough set algorithms on fpga: A survey. *International Journal of Advanced Research in Artificial Intelligence*, v. 3, p. 14–23, 09 2013. Citado na página 20.
- 4 SHALF, J. The new landscape of parallel computer architecture. *Journal of Physics: Conference Series*, v. 78, 09 2007. Citado na página 21.
- 5 D'AGOSTINO, F.; QUERCIA, D. Short-channel effects in mosfets. *EECS 467*, 2001. Citado na página 21.
- 6 RECHEM, D.; LATRECHE, S.; GONTRAND, C. Channel length scaling and the impact of metal gate work function on the performance of double gate-metal oxide semiconductor field-effect transistors. *Pramana*, v. 72, p. 587–599, 03 2009. Citado na página 21.
- 7 P, D.; J, G. D. S.; D, R. Dispersion impact on ballistic cntfet n+-i-n+ performances. *European Nano Systems 2006, Paris, France, 14-15 December 2006, ENS 2006, Co-locating with Nano Transfer 2006, The 2nd Workshop on Nano Technology Transfer in Europe*, p. 37-42, p. 1–3, 08 2007. Citado na página 21.
- 8 ARDEN, W. The international technology roadmap for semiconductors—perspectives and challenges for the next 15 years. *Current Opinion in Solid State and Materials Science*, v. 6, p. 371–377, 10 2002. Citado na página 21.
- 9 PIMENTA, R. A transformada da incerteza como método para avaliar a variabilidade de circuitos em tecnologias emergentes. 01 2020. Citado 8 vezes nas páginas 21, 33, 36, 52, 53, 54, 55 e 76.
- 10 KANNA, R. Design of zigbee transceiver for ieee 802.15.4 using matlab/simulink. 01 2011. Citado 2 vezes nas páginas 25 e 26.
- 11 SINEM, C. E. Zigbee/ieee 802.15.4 summary. 09 2014. Citado 3 vezes nas páginas 26, 30 e 31.
- 12 SILVA, A. T. y. . Módulos de comunicação wireless para sensores. Citado 3 vezes nas páginas 27, 29 e 31.
- 13 AHAMED, S. The role of zigbee technology in future data communication system. In: . [S.l.: s.n.], 2009. Citado na página 27.
- 14 LEE, J.-S. Y.-W. S.; SHEN, C.-C. A comparative study of wireless protocols: Bluetooth, uwb, zigbee, and wi-fi. *The 33rd Annual Conference of the IEEE Industrial Electronics Society (IECON)*, 2007, Taipei, Taiwan. Citado 2 vezes nas páginas 28 e 29.

- 15 FARAHANI, S. Chapter 3 - zigbee and ieee 802.15.4 protocol layers. In: FARAHANI, S. (Ed.). *ZigBee Wireless Networks and Transceivers*. Burlington: Newnes, 2008. p. 33–135. ISBN 978-0-7506-8393-7. Disponível em: <<https://www.sciencedirect.com/science/article/pii/B9780750683937000030>>. Citado na página 30.
- 16 BRAGA, T. C. Monitorização ambiental em espaços florestais com rede de sensores sem fios. 11 2010. Citado na página 32.
- 17 ZYGA, L. *CNT wrap-gate transistors could extend transistor performance scaling*. 2013. <<https://phys.org/news/2013-05-cnt-wrap-gate-transistors-transistor-scaling.html>>. Citado na página 33.
- 18 SAITO R.; DRESSELHAUS, G. D. M. S. Physical properties of carbon nanotubes. *World Scientific*, 1998. Citado 7 vezes nas páginas 33, 38, 39, 40, 44, 47 e 48.
- 19 HUQ, H. et al. Study of carbon nanotube field effect transistors for nems. In: _____. [S.l.: s.n.], 2010. ISBN 978-953-307-054-4. Citado na página 33.
- 20 MOROGUMA, A. Projeto de circuitos rf em tecnologia cntfet para padrão bluetooth. 2014. Citado 14 vezes nas páginas 34, 35, 36, 41, 44, 46, 47, 51, 66, 67, 70, 72, 78 e 82.
- 21 JAISWAL, M.; SINGH, A. Design and analysis of cntfet-based sram. *International Research Journal of Engineering and Technology (IRJET)*, v. 2, p. 11–15, 07 2015. Citado na página 34.
- 22 CLAUS, M.; SCHRÖTER, M. Design study of cnt transistor layouts for analog circuits. v. 3, p. 566–569, 01 2009. Citado na página 35.
- 23 KABIR, M. et al. Performance analysis of cntfet and mosfet focusing channel length, carrier mobility and ballistic conduction in high speed switching. In: . [S.l.: s.n.], 2014. Citado na página 36.
- 24 D'HONINCTHUN, H. C. et al. Monte carlo study of coaxially gated cntfets: capacitive effects and dynamic performance. *Comptes Rendus Physique*, v. 9, n. 1, p. 67–77, 2008. ISSN 1631-0705. New concepts for nanophotonics and nano-electronics. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S1631070507002721>>. Citado na página 36.
- 25 SHREYA, S.; CHANDEL, R. Performance analysis of cntfet based digital logic circuits. In: . [S.l.: s.n.], 2014. p. 1–6. ISBN 978-1-4799-4939-7. Citado 2 vezes nas páginas 36 e 37.
- 26 MARTEL, R. et al. Single- and multi-wall carbon nanotube field-effect transistors. *Applied Physics Letters*, v. 73, 10 1998. Citado na página 37.
- 27 MARTINS-Júnior, P. et al. Carbon nanotubes: Directions and perspectives in oral regenerative medicine. *Journal of Dental Research*, v. 92, n. 7, p. 575–583, 2013. PMID: 23677650. Disponível em: <<https://doi.org/10.1177/0022034513490957>>. Citado na página 38.
- 28 ANDO, Y. X. Z. T. Z. . M. K. Growing carbon nanotubes. October 2004. ISSN 1369-7021. Citado 6 vezes nas páginas 40, 41, 42, 44, 45 e 46.

- 29 BERNSTEIN, E. R. Atomic and molecular clusters. *Elsevier Science B. V.*, New York, 1990. Citado na página 40.
- 30 DRESSELHAUS M. S.; DRESSELHAUS, G. . E. P. Science of fullerenes and carbon nanotubes. p. 50–250, 1995. Citado 2 vezes nas páginas 40 e 41.
- 31 ANDO, Y.; ZHAO, X. Synthesis of carbon nanotubes by arc-discharge method. *New Diamond and Frontier Carbon Technology*, v. 16, 01 2006. Citado 3 vezes nas páginas 42, 43 e 44.
- 32 WANG X. ZHAO, M. O. M.; ANDO, Y. Fullerene science and technology. v. 4, 1996. Citado na página 44.
- 33 JOURNET, C. et al. Large-scale production of single-walled carbon nanotubes by the electric-arc technique. *Nature*, v. 388, 08 1997. Citado na página 44.
- 34 OHKOHCHI, M. Synthesis of single-walled carbon nanotubes by ac arc discharge. *Japanese Journal of Applied Physics*, v. 38, p. 4158–4159, 07 1999. Citado na página 44.
- 35 IIJIMA, S. Synthesis of carbon nanotubes. *Nature*, v. 77, p. 56–58, 1991. Citado na página 45.
- 36 Kim, Y. B.; Kim, Y.; Lombardi, F. A novel design methodology to optimize the speed and power of the cntfet circuits. In: *2009 52nd IEEE International Midwest Symposium on Circuits and Systems*. [S.l.: s.n.], 2009. p. 1130–1133. Citado na página 47.
- 37 HONE, J. Carbon nanotubes: Thermal properties. 01 2002. Citado 3 vezes nas páginas 48, 49 e 50.
- 38 HONE, J. et al. Electrical and thermal transport properties of magnetically aligned single-wall carbon nanotube films. *Applied Physics Letters*, v. 77, p. 666–668, 07 2000. Citado na página 50.
- 39 SCHRÖTER, M. et al. Cntfet-based rf electronics — state-of-the-art and future prospects. In: *2016 IEEE 16th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*. [S.l.: s.n.], 2016. p. 97–100. Citado na página 51.
- 40 AZEVEDO, H. Projeto de um misturador de frequências downconverter utilizando cntfets para um transceptor zigbee. 2018. Citado 8 vezes nas páginas 51, 54, 69, 76, 78, 82, 84 e 106.
- 41 BARBOSA, L. Projeto e estimativa de desempenho/qualidade de um mixer upconverter para um transceptor zigbee utilizando transistores de efeito de campo de nanotubos de carbono. 2018. Citado 9 vezes nas páginas 51, 76, 78, 79, 80, 81, 82, 106 e 110.
- 42 VASHIST, S. K. et al. Advances in carbon nanotube based electrochemical sensors for bioanalytical applications. *Biotechnology advances*, v. 29, p. 169–88, 10 2010. Citado na página 51.
- 43 SCHROTER, M. et al. A semiphsical large-signal compact carbon nanotube fet model for analog rf applications. *Electron Devices, IEEE Transactions on*, v. 62, p. 52–60, 01 2015. Citado 2 vezes nas páginas 53 e 54.

-
- 44 RAZAVI, B. Rf microelectronics. *Prentice Hall*, v. 2nd. ed. [S.l.], 2011. Citado 9 vezes nas páginas 56, 57, 58, 61, 62, 63, 64, 65 e 69.
- 45 LOK, E. Microwave transceiver circuit building blocks. *Engineering-Electrical Engineering and Computer Sciences in the GRADUATE DIVISION of the UNIVERSITY OF CALIFORNIA, BERKELEY*, 2016. Citado na página 59.
- 46 MARKI, F. . C. M. Mixer basics primer a tutorial for rf microwave mixers. 2010. Citado 2 vezes nas páginas 59 e 60.
- 47 LEE, T. The design of cmos radio-frequency integrated circuits. v. 2nd. ed., 2004. Citado 10 vezes nas páginas 61, 62, 64, 65, 67, 68, 71, 72, 87 e 88.
- 48 ZHU, Z. 320mhz rfid mixer design. 2004. Citado 3 vezes nas páginas 68, 69 e 70.
- 49 ZINKE, O.; KUNDERT, K. The designer's guide to verilog-ams. June 2004. Citado 2 vezes nas páginas 74 e 75.
- 50 CAMPOS, R. Modelagem de um transceptor zigbee utilizando a linguagem verilog-ams. 2014. Citado na página 94.

Apêndices

APÊNDICE A – Simulações Complementares

A.1 PGA com Controle de Ganho em 001

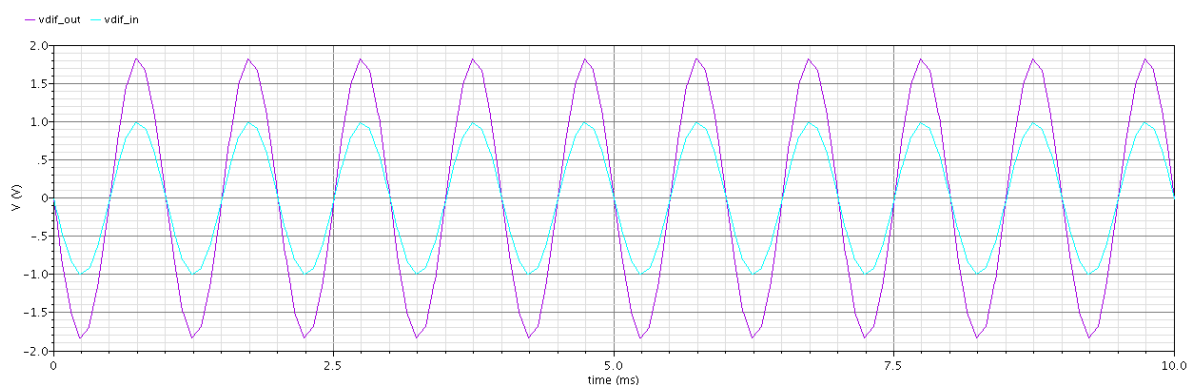


Figura 76 – Simulação PGA com ganho bits "001".

A.2 Receptor Zigbee com Controle de Ganho Máximo

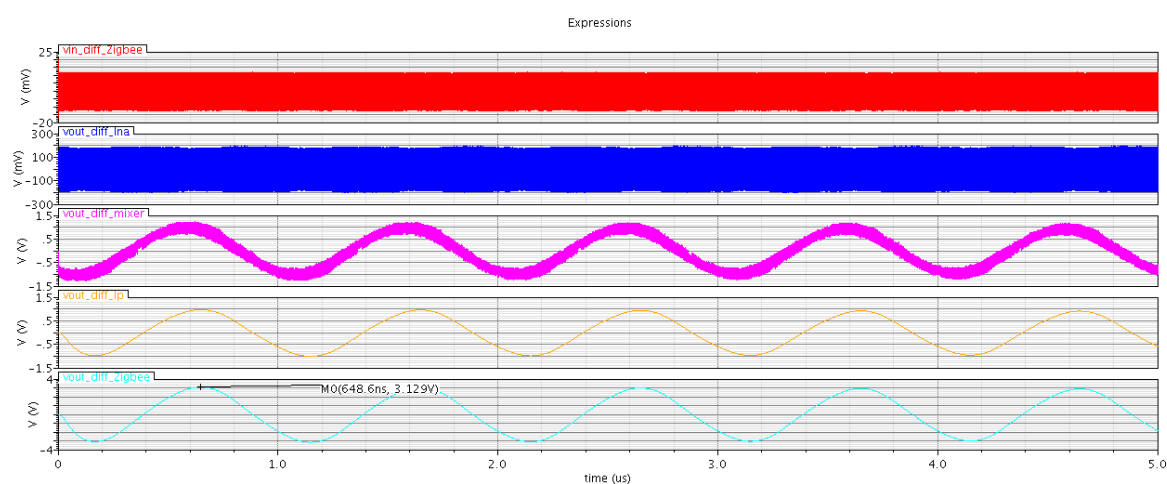


Figura 77 – Receptor Zigbee com ganho máximo.

A.3 Transceptor Zigbee Simulado sem Atenuação

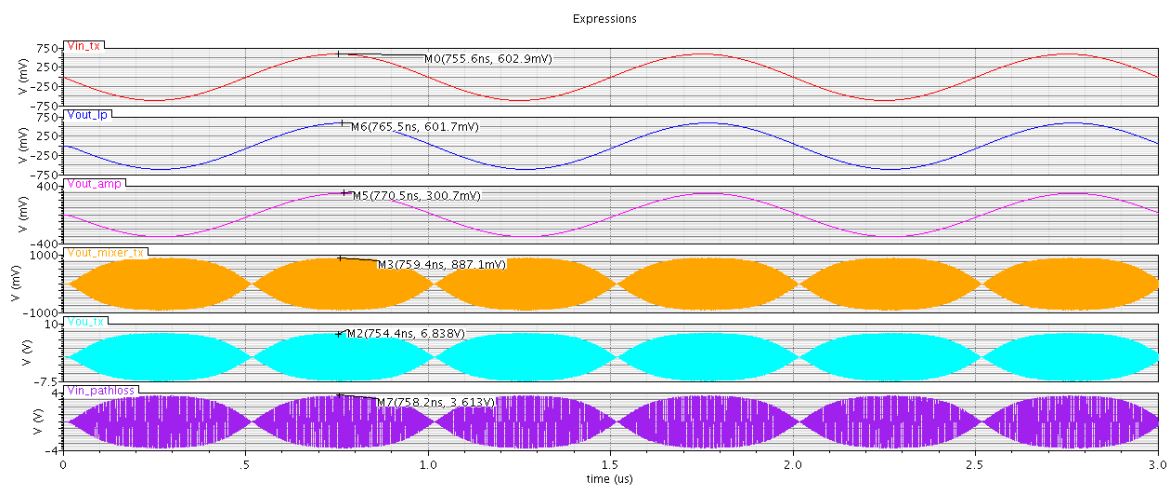


Figura 78 – Simulação do Zigbee sem Ajuste (Tx->Airloss).

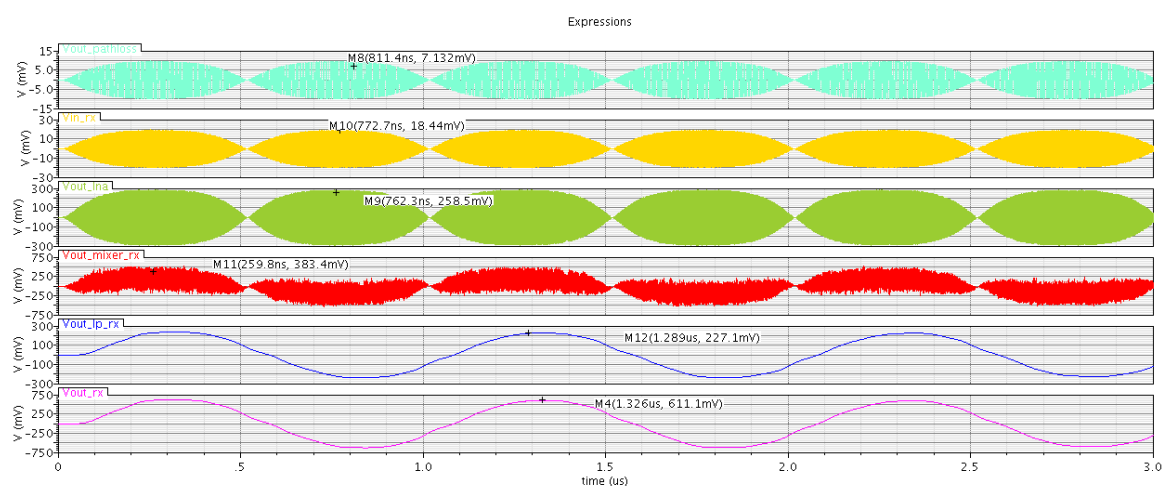


Figura 79 – Simulação do Zigbee sem Ajuste Transceptor (Airloss->Rx).

APÊNDICE B – Códigos Verilog-A

B.1 Filtro Passa-Baixa Receptor

```
// VerilogA for Zigbee_tst1, Lp_filter, veriloga
`include "constants.vams"
`include "disciplines.vams"

module Lp_filter(in_p, in_n, out_p, out_n, agnd, avdd);

//declaracao dos pinos
input in_n, in_p, agnd, avdd;
output out_n, out_p;

//declaracao das disciplinas
electrical in_n, in_p, out_n, out_p;

analog begin

    V(out_n) <+ (laplace_nd(V(in_n),{9.182736455e014},{9.182736455e014,60606060.606061,1.0}));
    V(out_p) <+ (laplace_nd(V(in_p),{9.182736455e014},{9.182736455e014,60606060.606061,1.0}));

end
endmodule
```

Figura 80 – Fpb Receptor Verilog-A

B.2 Filtro Passa-Baixa Transmissor

```
// VerilogA for Zigbee_tst1, Lp_filter, veriloga
`include "constants.vams"
`include "disciplines.vams"

module Lp_tx_filter(in_p, in_n, out_p, out_n, agnd, avdd);

//declaracao dos pinos
input in_n, in_p, agnd, avdd;
output out_n, out_p;

//declaracao das disciplinas
electrical in_n, in_p, out_n, out_p;

analog begin

    V(out_n) <+ (laplace_nd(V(in_n),{1.4872099940512e016},{1.4872099940512e16,243902439.02439,1.0}));
    V(out_p) <+ (laplace_nd(V(in_p),{1.4872099940512e016},{1.4872099940512e16,243902439.02439,1.0}));

end
endmodule
```

Figura 81 – Fpb Receptor Verilog-A

B.3 LNA

```
//Verilog-AMS HDL for "Zigbee_tst1", "LNA" "verilogams"

`include "constants.vams"
`include "disciplines.vams"

module LNA (in_n, in_p, out_n, out_p, agnd, avdd, ibias, vin_dc);
input in_n, in_p, agnd, avdd, ibias, vin_dc;
output out_n, out_p;
electrical in_n, in_p, out_n, out_p;
parameter real gain=1;

analog V(out_p,out_n) <+ gain*V(in_p,in_n);
endmodule
```

Figura 82 – LNA Verilog-A

B.4 PGA

```
// VerilogA for Zigbee_tst1, PGA, veriloga

`include "constants.vams"
`include "disciplines.vams"

module PGA (out_p, out_n, in_p, in_n, gain, avdd, agnd, pd);

output out_p, out_n; // differential output

input in_p, in_n; // differential input
input avdd, agnd; // power supplies & bias voltage input
input [2:0] gain; // digital control bus
input pd; // output enable

electrical out_n, out_p, in_n, in_p, avdd, agnd, pd;
electrical [2:0] gain;
electrical outg_p, outg_n;

parameter real dbmin=-1,dbmax=10; // gains for VCVGA=000&111
parameter real Rout=100; // output resistance for each pin
parameter real Tr=10n; // rise/fall time for gain & enable changes

real DBinc,Adb,Av; // terms in gain calculation
real Voctr,Vomax,Vodif; // terms in output calculation

integer Gint; // integer value from gain bus
real Gout; // output conductance (smoothly switched)
integer Active; // _ag for active operation

// Macro to convert pin voltage to logic level of 1 or 0 based on half supply:
```

Figura 83 – Verilog A - PGA (1).

B.5 PA


```

29
30 integer Gint; // integer value from gain bus
31 real Gout; // output conductance (smoothly switched)
32 integer Active; // _ag for active operation
33
34
35 `define L(pin) (V(pin,agnd)/V(avdd,agnd)/2)
36
37
38 analog begin
39
40     // Check when pd
41     Active = `L(pd)==1;
42
43     //-----Gain calc-----
44
45     @(initial_step) DBinc=(dbmax-dbmin)/7; // compute per-bit increment
46     $strobe (DBinc);
47
48     Gint = `L(gain[2])*4 + `L(gain[1])*2 + `L(gain[0]); // get integer form of GAIN
49     $strobe (Gint);
50
51     Adb = dbmin+DBinc*Gint; // convert to gain in dB
52
53     // Av = transition(Active? pow(10,Adb/20.0):1u, 0,Tr); // to V/V or small if off
54
55     //Av = pow(10,Adb/20.0); //normal gain to transceiver PA=6, amp = 0.5, pga=4
56     Av = pow(10,Adb/20.0) + 1.007; //higher gain to transceiver testbench, if pa=1.8

```

Figura 84 – Verilog A - PGA(2).

```

59 //----- Output signal |-----
60
61 // Voctr = transition(Active,0,Tr)*V(avdd,agnd)/2; // CM output level
62 Voctr = V(avdd,agnd)/2;
63
64 Vomax = max(V(avdd,agnd),0.001); // max output swing
65
66 //Vodif = Vomax*tanh(Av*V(in_p,in_n)/Vomax); // gain & saturation limiting
67 Vodif = Av*V(in_p,in_n);
68
69
70 // high impedance if disabled, or high attenuation on bias error:
71
72 Gout = transition( `L(pd)? 1/Rout : 1e-9, 0,Tr);
73
74 V(outg_p,agnd) <+ (Voctr+Vodif/2);
75 V(outg_n,agnd) <+ (Voctr-Vodif/2);
76
77
78 V(outg_p,out_p) <+ Rout*I(outg_p,out_p);
79 V(outg_n,out_n) <+ Rout*I(outg_n,out_n);
80
81 // I(out_p,agnd) <+ (V(out_p,agnd) - (Voctr+Vodif/2))*Gout;
82 // I(out_n,agnd) <+ (V(out_n,agnd) - (Voctr-Vodif/2))*Gout;
83
84
85 end
86 endmodule

```

Figura 85 – Verilog A - PGA(3).

```
1 //Verilog-AMS HDL for "Zigbee_tst1", "PA" "verilogams"
2
3 `include "constants.vams"
4 `include "disciplines.vams"
5
6 module PA (in_n, in_p, out_n, out_p, agnd, avdd, ibias, vin_dc);
7     input in_n, in_p, agnd, avdd, ibias, vin_dc;
8     output out_n, out_p;
9     electrical in_n, in_p, out_n, out_p, agnd;
10    parameter real gain=1;
11    parameter real rout=50;
12
13 analog begin
14 V(out_p,out_n) <+ gain*V(in_p,in_n);
15 V(out_p,agnd) <+ rout*I(out_p,agnd);
16 V(out_n,agnd) <+ rout*I(out_n,agnd);
17 end
18 endmodule
```

Figura 86 – PA Verilog-A

APÊNDICE C – Vista Config do Transceptor Zigbee


	Library	Cell	View Found	View To Use	Inherited View List	herited Lib L
	CCAM	CNTFET	veriloga		spectre spice ver...	myLib
	ZigBee	cntfet	veriloga		spectre spice ver...	myLib
	ZigBee	mixer_up_conver...	schematic	schematic	spectre spice ver...	myLib
	Zigbee_tst1	Amp	veriloga	veriloga	spectre spice ver...	myLib
	Zigbee_tst1	LNA	schematic	schematic	spectre spice ver...	myLib
	Zigbee_tst1	LP_filter_rx	veriloga	veriloga	spectre spice ver...	myLib
	Zigbee_tst1	LP_filter_tx	veriloga	veriloga	spectre spice ver...	myLib
	Zigbee_tst1	Mixer_DownC_C...	schematic	schematic	spectre spice ver...	myLib
	Zigbee_tst1	PA	veriloga	veriloga	spectre spice ver...	myLib
	Zigbee_tst1	PGA	veriloga	veriloga	spectre spice ver...	myLib
	Zigbee_tst1	Zigbee_rx Mixer...	schematic		spectre spice ver...	myLib

Figura 87 – Config Transceptor Zigbee

Anexos

ANEXO A – Testbench Blocos Mixers CNTFET

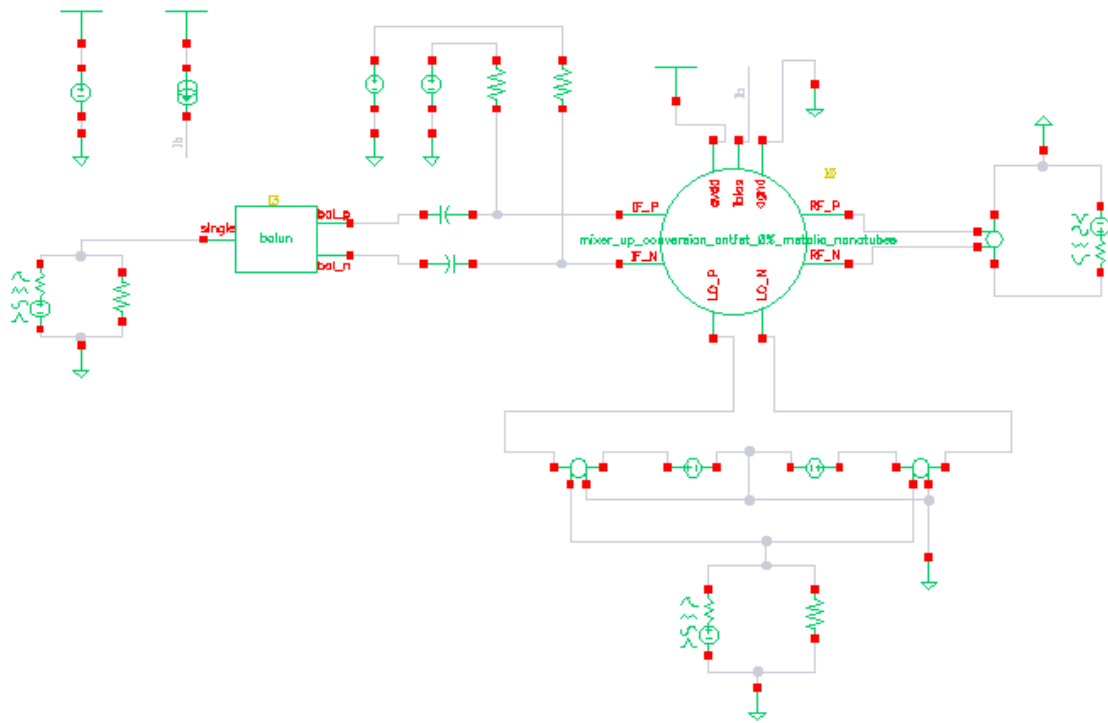


Figura 88 – Mixer CNTFET testbench